

## Semiconductor unit and its making process

**Publication number:** CN1371132

**Publication date:** 2002-09-25

**Inventor:** TAKUSHI MATSUMOTO (JP); SHIGENOBU MAITA (JP); AL IWAMATSU TOSHIKI ET (JP)

**Applicant:** MITSUBISHI ELECTRIC CORP (JP)

**Classification:**

**- international:** H01L27/04; H01L21/336; H01L21/762; H01L21/822; H01L21/8238; H01L21/8244; H01L21/84; H01L27/08; H01L27/092; H01L27/10; H01L27/11; H01L27/12; H01L29/786; H01L27/04; H01L21/02; H01L21/70; H01L27/08; H01L27/085; H01L27/10; H01L27/11; H01L27/12; H01L29/66; (IPC1-7): H01L27/12; H01L29/78

**- European:** H01L21/762D20; H01L27/12B

**Application number:** CN20011043820 20011214

**Priority number(s):** JP20010035180 20010213

**Also published as:**



US6794717 (B2)  
US2002109187 (A1)  
KR20040111260 (A)  
KR20020066943 (A)  
JP2002246600 (A)

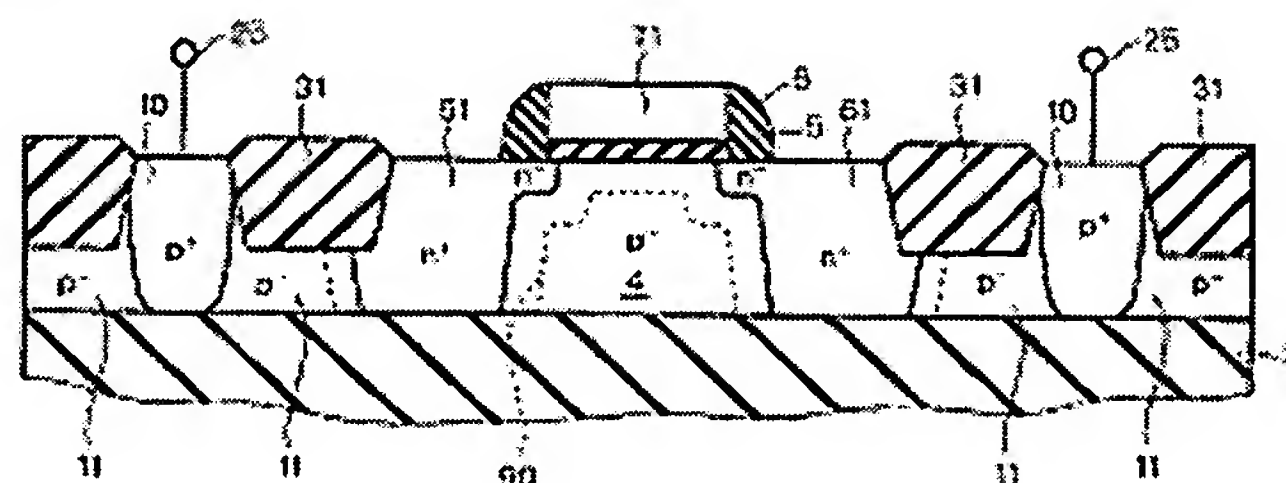
more >>

[Report a data error here](#)

Abstract not available for CN1371132

Abstract of corresponding document: **US2002109187**

It is an object to provide a semiconductor device having an SOI structure in which an electric potential of a body region in an element formation region isolated by a partial isolation region can be fixed with a high stability. A MOS transistor comprising a source region (51), a drain region (61) and an H gate electrode (71) is formed in an element formation region isolated by a partial oxide film (31). The H gate electrode (71) electrically isolates a body region (13) formed in a gate width W direction adjacently to the source region (51) and the drain region (61) from the drain region (61) and the source region (51) through "I" in a transverse direction (a vertical direction in the drawing), a central "-" functions as a gate electrode of an original MOS transistor.



Data supplied from the esp@cenet database - Worldwide

H01L 29/78

**[21] 申请号 01143820.7**

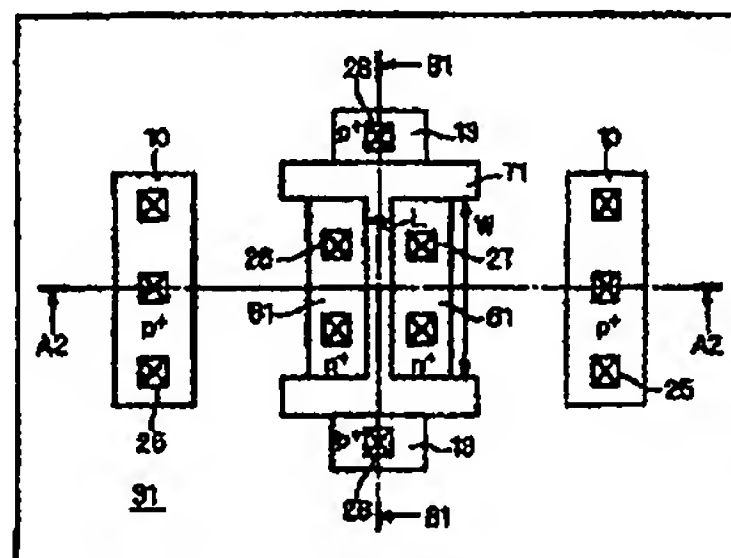
[11]公开号 CN 1371132A

代理人 刘宗杰 叶恺东

[72] 发明人 松本拓治 前田茂伸 岩松俊明  
一 法 师 隆 史

权利要求书 3 页 说明书 32 页 附图页数 42 页

本发 明 的 课 题 是 得 到 能 以 良 好 的 稳 定 性 固 定 由 部 分 隔 离 区 进 行 了 元 件 隔 离 的 元 件 形 成 区 中 的 体 区 的 电 位 的 SOI 结 构 的 半 导 体 装 置 。 解 决 方 法 是 在 由 部 分 氧 化 膜 31 进 行 了 元 件 隔 离 的 元 件 形 成 区 中 形 成 由 源 区 51、漏 区 61 和 H 栅 电 极 71 构 成 的 MOS 晶 体 管 。 在 H 栅 电 极 71 中 ， 利 用 左 右 ( 图 中 上 下 ) 的 “ I ” ， 导 电 性 地 隔 离 在 源 区 51 和 漏 区 61 上 在 栅 宽 W 方 向 上 邻 接 地 形 成 的 体 区 13 与 漏 区 61 和 源 区 51 ， 中 央 的 “ - ” 起 到 原 来 的 MOS 晶 体 管 的 栅 电 极 的 功 能 。



ISSN 1008-4274

知识产权出版社出版

## 权 利 要 求 书

1. 一种半导体装置, 该半导体装置是由半导体衬底、埋入绝缘层和 SOI 层构成的 SOI 结构的半导体装置, 其特征在于:

具备:

5 MOS 晶体管, 设置在上述 SOI 层的元件形成区中; 以及  
部分隔离区, 设置在上述 SOI 层中, 对上述元件形成区进行元件隔离,

上述部分隔离区包含在上述 SOI 层的上层部设置的部分绝缘膜和存在于下层部的作为上述 SOI 层的一部分的部分绝缘膜下半导体区,

10 上述 MOS 晶体管包含:

第 1 导电型的源和漏区, 分别在上述 SOI 层内有选择地形成;

栅电极, 在上述源和漏区间的上述 SOI 层的区域上具有经栅氧化膜形成的栅电极主要部; 以及

15 体区, 包含作为上述源和漏区间的上述 SOI 层的第 2 导电型的区域的体区主要部和在上述元件形成区内从上述体区主要部起导电性地连接而形成的、可从外部进行电位固定的体区电位设定部。

2. 如权利要求 1 中所述的半导体装置, 其特征在于:

20 上述体区电位设定部包含体区源、漏邻接部, 该体区源、漏邻接部在上述源和漏区的栅宽方向上邻接, 而且从上述体区主要部起在栅长方向上延伸而形成,

上述栅电极还具有从上述栅电极主要部的端部起在上述栅长方向上延伸并在上述体区源、漏邻接部的一部分上形成的栅延伸区, 利用上述栅延伸区导电性地隔断上述体区源、漏邻接部与上述源和漏区。

3. 如权利要求 2 中所述的半导体装置, 其特征在于:

25 上述体区源、漏邻接部包含从上述体区主要部起在第 1 方向上延伸而形成的第 1 体区源、漏邻接部和从上述体区主要部起在与上述第 1 方向相反的第 2 方向上延伸而形成的第 2 体区源、漏邻接部,

上述栅延伸区包含在上述第 1 体区源、漏邻接部附近形成的第 1 栅延伸区和在上述第 2 体区源、漏邻接部附近形成的第 2 栅延伸区。

30 4. 如权利要求 2 中所述的半导体装置, 其特征在于:

上述体区源、漏邻接部包含一个体区源、漏邻接部,

上述栅延伸区包含在上述一个体区源、漏邻接部附近形成的一个

栅延伸区。

5. 如权利要求 2 至 4 的任一项中所述的半导体装置, 其特征在于:

上述体区源、漏邻接部在从上述栅延伸区起隔开规定的距离的区域中具有与其它区域相比第 2 导电型的杂质浓度高的高浓度区域。

6. 如权利要求 2 至 4 的任一项中所述的半导体装置, 其特征在于:

上述栅延伸区包含第 2 导电型的杂质浓度为  $5 \times 10^{18} \text{cm}^{-3}$  以下的栅延伸区。

7. 如权利要求 1 中所述的半导体装置, 其特征在于:

上述体区电位设定部包含与上述源区混在一起形成的第 2 导电型的体电位固定用半导体区。

8. 如权利要求 1 中所述的半导体装置, 其特征在于:

上述部分绝缘膜下半导体区具有第 2 导电型, 与上述体区相接地形成,

还具备在上述 SOI 层的上述元件形成区外设置的、可从外部进行电位固定的第 1 导电型的元件形成区外体区, 上述元件形成区外体区与上述部分绝缘膜下半导体区相接地形成。

9. 如权利要求 1 中所述的半导体装置, 其特征在于:

上述源和漏区具有到达上述埋入绝缘层的形成深度。

10. 如权利要求 1 中所述的半导体装置, 其特征在于:

上述源和漏区具有在通常工作时从上述源和漏区起延伸的耗尽层不到达上述埋入绝缘层的形成深度。

11. 如权利要求 1 中所述的半导体装置, 其特征在于:

上述源和漏区具有不到达上述埋入绝缘层的、而在通常工作时从上述源和漏区起延伸的耗尽层到达上述埋入绝缘层的形成深度。

12. 如权利要求 1 中所述的半导体装置, 其特征在于:

上述漏区具有与上述源区相比其形成深度深的、而且在通常工作时从上述漏区起延伸的耗尽层到达上述埋入绝缘层的形成深度。

13. 一种半导体装置, 该半导体装置是由半导体衬底、埋入绝缘层和 SOI 层构成的 SOI 结构的半导体装置, 其特征在于:

具备:

第 1 和第 2 元件形成区, 设置在上述 SOI 层中;

部分隔离区, 由在上述 SOI 层的上层部设置的部分绝缘膜和作为上述部分绝缘膜下的上述 SOI 层的一部分的半导体区构成, 对上述第 1 和第 2 元件形成区间进行元件隔离; 以及

5 第 1 和第 2MOS 晶体管, 分别在上述第 1 和第 2 元件形成区中形成, 使上述第 1 和第 2MOS 晶体管间的体区的结构、栅电极的结构和体电位固定的有无中的至少一个因素不同, 来使上述第 1 和第 2MOS 晶体管的晶体管特性不同。

10 14. 一种半导体装置, 该半导体装置是由半导体衬底、埋入绝缘层和 SOI 层构成的 SOI 结构的半导体装置, 其特征在于:

具备:

第 1 和第 2 元件形成区, 设置在上述 SOI 层中;

15 部分隔离区, 由在上述 SOI 层的上层部设置的部分绝缘膜和作为上述部分绝缘膜下的上述 SOI 层的一部分的半导体区构成, 对上述第 1 元件形成区进行元件隔离, 使其与其它区域隔离开;

完全隔离区, 由贯通上述 SOI 层而设置的完全绝缘膜构成, 对上述第 2 元件形成区进行元件隔离, 使其与其它区域隔离开;

第 1MOS 晶体管, 在上述第 1 元件形成区中形成; 以及

第 2MOS 晶体管, 在上述第 2 元件形成区中形成,

20 上述第 1 和第 2MOS 晶体管具有不同的晶体管特性。



# 说明书

## 半导体装置及其制造方法

技术领域

5 本发明涉及 SOI 结构的半导体装置及其制造方法。

背景技术

被称为 SOI (绝缘体上的硅) 器件的半导体装置作为高速、低功耗的器件, 最近越来越引人注目。

10 在 SOI 层与硅衬底之间夹入埋入氧化膜的 SOI 结构的 SOI 衬底中制造该 SOI 器件。特别是, 使作为上层硅层的 SOI 层薄膜化 (约几微米) 了的 SOI 器件被称为薄膜 SOI 器件而引人注目, 预期可应用于携带装置用 LSI 等中。迄今为止, 利用贯通 SOI 层的 Si (硅) 而到达埋入氧化膜而形成的元件隔离用氧化膜对 SOI 元件 (SOI 结构的 SOI 层中形成的 (半导体) 元件) 进行了完全隔离。

15 由于该完全隔离技术将元件与其它元件进行了完全的导电性的绝缘, 故具有无“锁定” (不产生“锁定” (latchup))、抗噪声性能强等的特长。但是, 由于晶体管在导电性地浮置 (floating) 状态下工作, 故存在下述问题: 或是在延迟时间方面产生了频率依存性, 或是产生了在漏电流-漏电压特性中产生凸峰 (hump) 的弯折 (kink) 效应等的衬底浮置效应。为了抑制该衬底浮置效应, 下述的部分隔离技术是有效的: 以不与埋入氧化膜相接的方式在上层部中形成隔离氧化膜 (部分氧化膜), 与下层部的 SOI 层的一部分一起构成部分隔离区, 通过用部分隔离区进行了元件隔离的区域中设置的体区上设置体端子, 经部分氧化膜下的 SOI 层可固定衬底电位 (体电位)。但是, 存在在该部分  
20 部分隔离技术中丧失作为完全隔离技术的优点的无“锁定”这样的优点的问题。

因此, 开发了将两者的优点结合起来的的部分隔离及完全隔离合并使用技术。在部分隔离及完全隔离合并使用技术中, 部分隔离及完全隔离合并使用的槽深度不同。因此, 在淀积隔离氧化膜的氧化膜后的 CMP  
30 处理后, 槽深度深的完全隔离部分与部分隔离部分相比, 产生凹坑 (dishing)。因而, 存在在栅氧化膜的可靠性方面重要的隔离边缘的形状在部分隔离和完全隔离中不同的问题。此外, 在合并使用的工艺

中，由于完全隔离的隔离边缘低，故存在边缘部分的 MOS 晶体管的阈值电压局部地下降，可能导致漏泄电流增加的问题。

此外，在现有的器件中，由于离体端子的距离在各个晶体管中不同，故存在体电阻发生离散性、漏泄电流发生离散性的问题。

5 另外，存在即使利用经部分氧化膜下的 SOI 层来固定体电位的部分隔离技术也不能说能以良好的稳定性固定体电位的问题。

#### 发明内容

10 本发明是为了解决上述问题而进行的，其目的在于得到能进行在利用部分隔离区进行了元件隔离的元件形成区中的体区的稳定性良好的体电位固定的 SOI 结构的半导体装置、在进行了部分隔离或部分隔离及完全隔离合并使用时可构成高功能的半导体集成电路的半导体装置及其制造方法。

15 本发明的第 1 方面所述的半导体装置具有由半导体衬底、埋入绝缘层和 SOI 层构成的 SOI 结构，具备：MOS 晶体管，设置在上述 SOI 层的元件形成区中；以及部分隔离区，设置在上述 SOI 层中，对上述元件形成区进行元件隔离，上述部分隔离区包含在上述 SOI 层的上层部设置的部分绝缘膜和存在于下层部的作为上述 SOI 层的一部分的部分绝缘膜下半导体区，上述 MOS 晶体管包含：第 1 导电型的源和漏区，分别在上述 SOI 层内有选择地形成；栅电极，在上述源和漏区间的上述 SOI 层的区域上具有经栅氧化膜形成的栅电极主要部；以及体区，  
20 包含作为上述源和漏区间的上述 SOI 层的第 2 导电型的区域的体区主要部和在上述元件形成区内从上述体区主要部起导电性地连接而形成的、可从外部进行电位固定的体区电位设定部。

25 本发明的第 2 方面是本发明的第 1 方面所述的半导体装置，上述体区电位设定部包含体区源、漏邻接部，该体区源、漏邻接部在上述源和漏区的栅宽方向上邻接，而且从上述体区主要部起在栅长方向上延伸而形成，上述栅电极还具有从上述栅电极主要部的端部起在上述栅长方向上延伸并在上述体区源、漏邻接部的一部分上形成的栅延伸区，利用上述栅延伸区导电性地隔断上述体区源、漏邻接部与上述源  
30 和漏区。

本发明的第 3 方面是本发明的第 2 方面所述的半导体装置，上述体区源、漏邻接部包含从上述体区主要部起在第 1 方向上延伸而形成

的第 1 体区源、漏邻接部和从上述体区主要部起在与上述第 1 方向相反的第 2 方向上延伸而形成的第 2 体区源、漏邻接部，上述栅延伸区包含在上述第 1 体区源、漏邻接部附近形成的第 1 栅延伸区和在上述第 2 体区源、漏邻接部附近形成的第 2 栅延伸区。

5 本发明的第 4 方面是本发明的第 2 方面所述的半导体装置，上述体区源、漏邻接部包含一个体区源、漏邻接部，上述栅延伸区包含在上述一个体区源、漏邻接部附近形成的一个栅延伸区。

10 本发明的第 5 方面是本发明的第 2 至第 4 方面中的任一方面所述的半导体装置，上述体区源、漏邻接部在从上述栅延伸区起隔开规定的距离的区域中具有与其它区域相比第 2 导电型的杂质浓度高的高浓度区域。

本发明的第 6 方面是本发明的第 2 至第 4 方面中的任一方面所述的半导体装置，上述栅延伸区包含第 2 导电型的杂质浓度为  $5 \times 10^{18} \text{cm}^{-3}$  以下的栅延伸区。

15 本发明的第 7 方面是本发明的第 1 方面所述的半导体装置，上述体区电位设定部包含与上述源区混在一起形成的第 2 导电型的体固定用半导体区。

20 本发明的第 8 方面是本发明的第 1 方面所述的半导体装置，上述部分绝缘膜下半导体区具有第 2 导电型，与上述体区相接地形成，还具备在上述 SOI 层的上述元件形成区外设置的、可从外部进行电位固定的第 1 导电型的元件形成区外体区，上述元件形成区外体区与上述部分绝缘膜下半导体区相接地形成。

本发明的第 9 方面是本发明的第 1 方面所述的半导体装置，上述源和漏区具有到达上述埋入绝缘层的形成深度。

25 本发明的第 10 方面是本发明的第 1 方面所述的半导体装置，上述源和漏区具有在通常工作时从上述源和漏区起延伸的耗尽层不到达上述埋入绝缘层的形成深度。

30 本发明的第 11 方面是本发明的第 1 方面所述的半导体装置，上述源和漏区具有不到达上述埋入绝缘层的、而在通常工作时从上述源和漏区起延伸的耗尽层到达上述埋入绝缘层的形成深度。

本发明的第 12 方面是本发明的第 1 方面所述的半导体装置，上述漏区具有与上述源区相比其形成深度深的、而且在通常工作时从上述



漏区起延伸的耗尽层到达上述埋入绝缘层的形成深度。

本发明的第 13 方面所述的半导体装置具有由半导体衬底、埋入绝缘层和 SOI 层构成的 SOI 结构，具备：第 1 和第 2 元件形成区，设置在上述 SOI 层中；部分隔离区，由在上述 SOI 层的上层部设置的部分绝缘膜和作为上述部分绝缘膜下的上述 SOI 层的一部分的半导体区构成，对上述第 1 和第 2 元件形成区间进行元件隔离；以及第 1 和第 2 MOS 晶体管，分别在上述第 1 和第 2 元件形成区中形成，使上述第 1 和第 2 MOS 晶体管间的体区的结构、栅电极的结构和体电位固定的有无中的至少一个因素不同，来使上述第 1 和第 2 MOS 晶体管的晶体管特性不同。

10 本发明的第 14 方面所述的半导体装置具有由半导体衬底、埋入绝缘层和 SOI 层构成的 SOI 结构，具备：第 1 和第 2 元件形成区，设置在上述 SOI 层中；部分隔离区，由在上述 SOI 层的上层部设置的部分绝缘膜和作为上述部分绝缘膜下的上述 SOI 层的一部分的半导体区构成，对上述第 1 元件形成区进行元件隔离，使其与其它区域隔离开；  
15 完全隔离区，由贯通上述 SOI 层而设置的完全绝缘膜构成，对上述第 2 元件形成区进行元件隔离，使其与其它区域隔离开；第 1 MOS 晶体管，在上述第 1 元件形成区中形成；以及第 2 MOS 晶体管，在上述第 2 元件形成区中形成，上述第 1 和第 2 MOS 晶体管具有不同的晶体管特性。

#### 附图说明

20 图 1 是示出现有的 PDSOI - MOSFET 的一例的剖面图。

图 2 是示出现有的 PDSOI - MOSFET 的一例的平面图。

图 3 是示出作为本发明的实施例 1（第 1 形态）的半导体装置的平面结构的平面图。

图 4 是示出图 3 的 A2 - A2 剖面的剖面图。

25 图 5 是示出图 3 的 B1 - B1 剖面的剖面图。

图 6 是示出实施例 1 的第 2 形态的剖面图。

图 7 是示出实施例 1 的第 3 形态的剖面图。

图 8 是示出实施例 1 的第 4 形态的剖面图。

图 9 是示出作为本发明的实施例 2 的半导体装置的平面结构的平面  
30 面图。

图 10 是示出作为本发明的实施例 3 的半导体装置的平面结构的平面  
面图。

图 11 是示出图 10 的 A4-A4 剖面的剖面图。

图 12 是示出图 11 的 A5-A5 剖面的剖面图。

图 13 是示出作为本发明的实施例 4 的第 1 形态的半导体装置的平面结构的平面图。

5 图 14 是示出作为本发明的实施例 4 的第 2 形态的半导体装置的平面结构的平面图。

图 15 是示出作为本发明的实施例 4 的第 3 形态的半导体装置的平面结构的平面图。

10 图 16 是示出 PDSOI-MOSFET 的类型 5 (其 1) 的平面结构的平面图。

图 17 是示出 PDSOI-MOSFET 的类型 5 (其 2) 的平面结构的平面图。

图 18 是示出类型 A 的 PDSOI-MOSFET 的剖面结构的剖面图。

图 19 是示出类型 A 的 PDSOI-MOSFET 的平面结构的平面图。

15 图 20 是示出类型 B 的 PDSOI-MOSFET 的平面结构的平面图。

图 21 是示出类型 D 的 PDSOI-MOSFET 的平面结构的平面图。

图 22 是概念性地示出了实施例 6 的半导体装置的平面结构的说明图。

图 23 是示出实施例 6 的半导体装置的应用例 1 的电路图。

20 图 24 是示出实施例 6 的半导体装置的应用例 2 的电路图。

图 25 是示出被完全隔离了的 FDSOI-MOSFET 的结构剖面图。

图 26 是示出作为本发明的实施例 7 的第 1 形态的半导体装置的电阻元件形成区的剖面图。

图 27 是示出实施例 7 的第 1 形态的平面图。

25 图 28 是示出一般的电阻元件形成区的剖面图。

图 29 是示出作为实施例 7 的第 2 形态的半导体装置的电阻元件形成区的剖面图。

图 30 是示出作为实施例 7 的第 3 形态的半导体装置的电阻元件形成区的剖面图。

30 图 31 是示出 6 晶体管 CMOS 结构的 SRAM 单元的电路图。

图 32 是示出实现图 31 中示出的 SRAM 单元用的布局结构的平面图。

图 33 是示出高电阻负载型的 SRAM 单元的电路图。

图 34 是示出实现图 33 中示出的 SRAM 单元用的布局结构的平面图。

图 35 是示出一般的 H 栅电极的平面图。

图 36 是示出作为本发明的实施例 8 的半导体装置的平面结构的平面图。

5 图 37 是示出图 36 的 D1-D1 剖面的剖面图。

图 38 是示出部分隔离流程的剖面图。

图 39 是示出部分隔离流程的剖面图。

图 40 是示出部分隔离流程的剖面图。

图 41 是示出部分隔离流程的剖面图。

10 图 42 是示出部分隔离流程的剖面图。

图 43 是示出部分隔离流程的剖面图。

图 44 是示出部分隔离流程的剖面图。

图 45 是示出部分隔离流程的剖面图。

图 46 是示出部分隔离流程的剖面图。

15 图 47 是示出部分隔离流程的剖面图。

图 48 是示出部分隔离流程的剖面图。

图 49 是示出部分隔离流程的剖面图。

图 50 是示出部分隔离流程的剖面图。

图 51 是示出部分隔离流程的剖面图。

20 图 52 是示出部分隔离流程的剖面图。

图 53 是示出完全隔离流程的剖面图。

图 54 是示出完全隔离流程的剖面图。

图 55 是示出完全隔离流程的剖面图。

图 56 是示出完全隔离流程的剖面图。

25 图 57 是示出完全隔离流程的剖面图。

图 58 是示出栅电极用的多晶硅层的形成时的部分隔离区周边区域的剖面图。

图 59 是示出栅电极用的多晶硅层的形成时的部分隔离区周边区域的剖面图。

30 具体实施方式

〈发明的概要〉

（技术背景）

部分隔离技术的优点是通过能从外部设定由部分隔离区设置在元件形成区外的体区的电位、能经部分氧化膜下的 SOI 层来固定衬底电位，但该优点对于高耐压元件或需要高的热载流子的可靠性的器件来说，不一定是充分的。这是因为，由于因部分氧化膜正下方的 SOI 层的膜厚薄而存在有限的体电阻，故也有产生了弯折的情况。由于这一点，即使在部分隔离技术中，也有热载流子的可靠性、延迟时间的频率依存性不一定充分的技术背景。

因此，在部分隔离技术或部分隔离及完全隔离合并使用技术中，为了防止因隔离边缘不同而引起的栅氧化膜可靠性的下降，通过在特别需要可靠性的部分上使用后述的 H 栅电极或 T 栅电极，可使体电位固定的可靠性提高、同时可抑制边缘漏泄电流的增加。

#### (单一种类的晶体管)

在具有体端子的部分隔离中，通过采用使用了以后详细地叙述的 H 栅电极、T 栅电极和源系 (source tie) 结构中的一种结构的单一种类的晶体管，可进一步提高固定体电位的稳定性，可进一步解决热载流子、延迟时间的频率依存性的问题。但是，由于这样的方法使电路的速度下降，故希望在需要高速性的部分上使用现有的器件 (使用通常结构的栅电极的器件等)。

#### (多种晶体管的组合)

此外，如果部分地不设置体端子、使晶体管在浮置状态下工作，则由于能降低阈值电压，故可制造漏电流大的晶体管。因而，通过与由体端子得到的体固定结构的晶体管一起、在电路内混入体浮置结构的晶体管，可制造高速、低功耗的电路。

此外，在部分隔离技术中，通过在各自己的晶体管中使用设置体端子的 H 栅电极、T 栅电极或源系结构，可抑制因离体端子的距离的不同引起的阈值离散性。此外，如果使用不采用体端子的浮置结构，则当然可抑制因体电阻引起的阈值离散性，这一点是明白的。但是，在浮置结构中，存在阈值电压有频率依存性的缺点。

这样，通过使具有各种各样的特长的多种晶体管组合在一起，在设计上可提供高功能的器件。

#### (实施例 1)

#### (现有的 PDSOI - MOSFET)



图 1 是示出作为现有的 MOS 晶体管的一种的 PD (部分耗尽) SOI - MOSFET 的一例的剖面图, 图 2 是示出现有的 PDSOI - MOSFET 的平面图。图 2 的 A1 - A1 剖面相当于图 1。

PDSOI - MOSFET 如图 1 中所示, 具有栅电极 7 正下方的耗尽层 90 5 不到达埋入氧化膜 2 的特征。由于该特征的缘故, PDSOI - MOSFET 在阈值电压的控制性方面良好。

如图 1 和图 2 中所示, 通过半导体衬底 (未图示) 上形成的埋入氧化膜 2 上形成 SOI 层 4, 施行了 SOI 结构的 SOI 衬底。利用由部分氧化膜 31 和部分氧化膜 31 下的 p 阱区 11 构成的部分隔离区, 对 SOI 10 层 4 进行元件隔离。

在 SOI 层 4 中有选择地形成的源区 51 和漏区 61 分别以从 SOI 层 4 的表面到达背面 (埋入氧化膜 2 的表面) 的深度被形成。

在源区 51、漏区 61 间的 SOI 层 4 上形成栅氧化膜 5, 在栅氧化膜 5 上形成栅电极 7。此外, 在栅电极 7 的侧面上形成侧壁 6。而且, 在 15 源区 51 和漏区 61 上分别设置源端子 26 和漏端子 27。

此外, 用部分氧化膜 31 和其下方的 p 阱区 11 进行元件隔离, 在从 SOI 层 4 的表面到背面形成体区 10。体区 10 经 p 阱区 11 与栅电极 7 下的 SOI 层 4、即体区主要部导电性地连接。

因而, 对在该体区 10 上设置的体端子 25 供给规定的电位, 通过 20 进行图 1 的部分隔离及完全隔离合并使用的体固定 (固定作为栅氧化膜 5 下的 SOI 层 4 的沟道电位), 可抑制上述的浮置效应。

#### (实施例 1 的 PDSOI - MOSFET)

图 3 是示出作为本发明的实施例 1 的半导体装置的平面结构的平面图, 图 4 是示出图 3 的 A2 - A2 剖面的剖面图, 图 5 是示出图 3 的 B1 25 - B1 剖面的剖面图。

实施例 1 的半导体装置是在被部分隔离了的 SOI 层中设置的、由具有 H 栅电极的 PDSOI - MOSFET 进行了体固定的半导体装置。

如图 3 中所示, H 栅电极 71 中, 利用左右 (图中上下) 的 “I” (栅延伸区、第 1 和第 2 体区源、漏邻接部), 导电性地隔离在源区 51 和 30 漏区 61 上在栅宽 W 方向上邻接地形成的体区 13 与漏区 61 和源区 51, 中央的 “-” 起到原来的 MOS 晶体管的栅电极的功能。再有, 在 H 栅电极 71 的左右 (图中上下) 的 “I” 的下方经绝缘膜形成了 p<sup>-</sup> 的体区。

而且,如图3和图5中所示,从作为H栅电极71的栅电极主要部下的SOI层4的体区主要部起,在沿栅长方向的第1方向和其相反的第2方向上延伸、而且在栅宽方向上邻接地形成2个体区13、13(第1和第2体区源、漏邻接部)。

5 因而,利用H栅电极71的左右的“I”,导电性地隔断源区51和漏区61与体区13、13,不会将从体端子28得到的体电位直接传递到漏区61、源区51上。

在SOI层4中有选择地形成的源区51和漏区61分别以从SOI层4的表面到达背面的深度被形成。

10 在源区51、漏区61间的SOI层4上形成栅氧化膜5,在栅氧化膜5上形成H栅电极71的中央的“-”部,在H栅电极71的侧面上形成侧壁6。而且,在源区51和漏区61上分别设置源端子26和漏端子27(在图4中,省略图示)。

此外,从SOI层4的表面到背面形成用部分氧化膜31和其下方的p阱区11的部分隔离区进行了元件隔离的体区10。体区10经p阱区11与H栅电极71下的SOI层4、即体区主要部导电性地连接。

再者,如上所述,与作为栅氧化膜5下的SOI层4的体区主要部(沟道区)邻接地形成了体区13。

因而,除了在体区10上设置的体端子25外,由于通过对在体区13上设置的体端子28供给规定的电位,可进行实施例的PDSOI-MOSFET的体固定,故可稳定地进行作为体区主要部的电位的体电位固定,可大幅度地抑制浮置效应。

25 这样的结构的实施例1的PDSOI-MOSFET具有H栅电极71的中央的“-”部的正下方的耗尽层90不到达埋入氧化膜2的特征。由于该特征的缘故,PDSOI-MOSFET在阈值电压的控制性方面良好。

因而,在实施例1的半导体装置中,通过作成H栅电极结构并在PDSOI-MOSFET的形成区域内设置体区13、13,与图1和图2中示出的现有的PDSOI-MOSFET相比,可降低体电阻,可进行稳定性良好的体电位固定。以下,详细地叙述这一点。

30 在图1和图2中示出的现有的PDSOI-MOSFET中,由于经部分隔离正下方的薄的p阱区11导电性地连接了体端子25与沟道区,故体电阻比较高,晶体管特性随离体端子25的距离容易产生离散性。

与此不同, 在实施例 1 的结构中, 除了经部分隔离区 (部分氧化膜 31 和在其下方的 p 阱区 11) 设置的体区 10 上的体端子 25 外, 可在 PDSOI-MOSFET 形成区内的源区 51 和漏区 61 附近形成的体区 13 上设置体端子 28。利用该 2 种类型的体端子 25、28, 可降低体电阻的电阻值, 可有效地抑制晶体管特性的离散性。

此外, 通过降低体电阻, 可提高漏击穿电压。相反, 在部分氧化膜 31 下的 p 阱区 11 的膜厚与 SOI 层 4 的膜厚成比例的情况下, 如果设定为相同的体电阻, 则通过采用 H 栅电极结构, 可减薄 SOI 层 4 的膜厚。

通过减薄 SOI 层 4 的膜厚, 可减小源、漏的线分量 (纵方向的分量) 的结电容, 具有可实现高速化的可能性。此外, 通过作成 H 栅电极结构, 可减小起因于隔离的边缘漏泄 (边缘寄生 MOS)。此外, 可抑制因隔离边缘引起的栅氧化膜可靠性的恶化。再有, 在后面详细地叙述起因于隔离的边缘漏泄和栅氧化膜可靠性的恶化。

如果将具有上述的特征的实施例 1 的 PDSOI-MOSFET 使用于强烈地要求体电位固定的 I/O 电路、模拟电路 (PLL、读出放大电路)、定时电路、动态电路等, 则是特别有效的。

(根据源、漏区的分类)

(第 1 形态: 源区和漏区都直接与埋入氧化膜 2 相接的结构 (在图 3~图 5 中示出的结构))

如图 4 中所示, 由于源区 51 和漏区 61 直接与埋入氧化膜 2 相接, 故由体区 10 上的体端子 25 得到的体电位的固定效果较弱。

但是, 在该第 1 形态的结构中, 由于 pn 交界面的面积减小了不在源区 51 和漏区 61 的底面形成 pn 结的部分, 故可抑制结漏泄。此外, 可减小结电容。

(第 2 形态: 源区和漏区不用说, 连从源区和漏区延伸的耗尽层也不与埋入氧化膜 2 相接的结构)

图 6 是示出实施例 1 的第 2 形态的剖面图。再有, 图 6 相当于图 3 的 A2-A2 剖面。

如该图中所示, 在 SOI 层 4 内以不到达埋入氧化膜 2 的方式形成源区 52 和漏区 62, 再者, 在通常工作时从源区 52 和漏区 62 延伸的耗尽层 91 也不到达埋入氧化膜 2。再有, 其它的结构与第 1 形态相同。



这样,第2形态具有下述优点:由于源区52和漏区62以及从源区52和漏区62延伸的耗尽层91都不到达埋入氧化膜2的缘故,故可谋求降低从体端子25到达沟道区的体电阻 $R_1$ ,使由体电阻25得到的体电位固定效果为最大。但是,存在pn结电容变大的缺点。

5 (第3形态:漏区没有与埋入氧化膜相接,但从漏区延伸的耗尽层与埋入氧化膜相接的结构)

图7是示出实施例1的第3形态的剖面图。再有,图7相当于图3的A2-A2剖面。

如该图中所示,在SOI层4内以不到达埋入氧化膜2的方式形成源区53和漏区63,但在通常工作时从源区53和漏区63延伸的耗尽层92到达埋入氧化膜2。再有,其它的结构与第1形态相同。

在第3形态中,由于漏区63未与埋入氧化膜2直接相接,故与第1形态相比,具有体电位固定效果。而且,由于耗尽层92与埋入氧化膜2相接,故也可减小pn结电容。该降低pn结电容的优点在从漏区63延伸的耗尽层92在电压0V下与埋入氧化膜2相接的情况下,其效果好。再有,在图7的例子中,虽然来自源区53的耗尽层92也与埋入氧化膜2相接,但在未与埋入氧化膜2相接的结构中也可起到同样的效果。

20 (第4形态:与源区相比,漏区的形成深度较深,漏区或从漏区延伸的耗尽层与埋入氧化膜相接的非对称结构)

图8是示出实施例1的第4形态的剖面图。再有,图8相当于图3的A2-A2剖面。

如该图中所示,呈现了源区52和从源区52延伸的耗尽层94不到达埋入氧化膜2,而漏区61与埋入氧化膜2直接相接的源、漏非对称结构。再有,其它的结构与第1形态相同。

再有,可作成抗蚀剂掩模分开进行源、漏的离子注入来制造源、漏非对称结构。

在这样的结构的第4形态中,由于源区52的结电容几乎对电路的工作速度没有影响,故即使从源区52延伸的耗尽层94不与埋入氧化膜2相接,也没有不良影响。通过来自源区52的耗尽层94未与埋入氧化膜2相接,从沟道区起可减小源区52附近区域下的体电阻 $R_{1S}$ 的电阻值。此外,虽然也可用耗尽层94与埋入氧化膜2相接的结构来形



成源区，但希望作成耗尽层 94 不到达埋入氧化膜 2 的结构，以便能减小 pn 交界面的面积。

关于漏区 61，由于漏区 61 与埋入氧化膜 2 相接，故可减小结电容和 pn 交界面的面积。再者，如果构成为漏区 61 不与埋入氧化膜 2 相接，在通常工作时的来自漏区 61 的耗尽层与埋入氧化膜 2 相接，则可谋求降低体电阻的电阻值。

#### 〈实施例 2〉

图 9 是示出作为本发明的实施例 2 的半导体装置的平面结构的平面图。再有，图 9 的 A3-A3 剖面与图 4 中示出的形状相同，图 9 的 B1-B1 剖面除了只在一方形成了体区 13 外，与图 5 中示出的形状相同。

如图 9 中所示，实施例 2 的 PDSOI-MOSFET 是采用了 T 栅电极 72 来代替实施例 1 的 H 栅电极 71 的结构。即，在实施例 1 的 H 栅电极 71 中，在左右的“I”的附近分别形成了体区 13，但在实施例 2 的 T 栅电极 72 中，在一个“I”的附近与 H 栅电极 71 同样地形成了体区 13。由于其它的结构与实施例 1 相同，故省略其说明。

因而，实施例 2 的 T 栅电极 72 与实施例 1 相同，通过利用在 2 种类型的体区 10 和 13 上设置的体端子 25 和 28 进行体固定，可降低体电阻的电阻值，可有效地抑制晶体管特性的离散性。

此外，因为实施例 2 的 T 栅电极 72 可减小覆盖有源区（源区 51、漏区 61 等没有形成部分氧化膜 31 的区域）的边缘的面积，故与 H 栅电极 71 相比，可减小栅电容。因此，与实施例 1 的 PDSOI-MOSFET 相比，可高速地进行电路工作。

关于隔离边缘的问题，与实施例 1 相同，即使在具有 T 栅电极 72 的实施例 2 中，也有效果。

因而，如果将实施例 2 的 PDSOI-MOSFET 使用于强烈地要求体电位固定的 I/O 电路、模拟电路（PLL、读出放大器）、定时电路、动态电路等，则是特别有效的。

此外，关于实施例 2 的结构，根据源、漏区的结位置，可分类为与实施例 1 相同的第 1 形态至第 4 形态。

#### 〈实施例 3〉

图 10 是示出作为本发明的实施例 3 的半导体装置的平面结构的平面图。再有，图 11 是示出图 10 的 A4-A4 剖面的剖面图，图 12 是示

出图 11 的 A5-A5 剖面的剖面图。

如这些图中所示，实施例 3 的源区在被分离为 2 个的源区 54 之间呈现了由  $p^+$  区 55 (体固定用半导体区) 构成的源系结构。

此外，分别以从 SOI 层 4 的表面到达背面的深度形成源区 54、 $p^+$  区 55 和漏区 61。

在源区 54 ( $p^+$  区 55)、漏区 61 间的 SOI 层 4 上形成栅氧化膜 5，在栅氧化膜 5 上形成栅电极 7，在栅电极 7 的侧面上形成侧壁 6。

此外，用部分氧化膜 31 和其下方的  $p$  阱区 11 进行元件隔离，在从 SOI 层 4 的表面到背面形成体区 10。体区 10 经部分氧化膜 31 下的  $p$  阱区 11 与栅电极 7 下的 SOI 层 4，即体区主要部导电性地连接。

这样的实施例 3 的 PDSOI-MOSFET 中的源系结构，如图 10、图 11 和图 12 中所示，在源结区中，可同时固定源和体的电位。具体地说，由于源区的一部分成为  $p^+$  区 55，故通过将源区 54 和  $p^+$  区 55 设定为相同的电位，能以良好的稳定性进行体电位固定。当然，也可进行由体区 10 得到的体固定。

因而，如果将实施例 3 的 PDSOI-MOSFET 使用于强烈地要求体电位固定的 I/O 电路、模拟电路 (PLL、读出放大器)、定时电路、动态电路等，则是特别有效的。

此外，关于实施例 3 的结构，根据源、漏区的结位置，可分类为与实施例 1 相同的第 1 形态至第 4 形态。

#### 〈实施例 4〉

图 13 是示出作为本发明的实施例 4 的第 1 形态的半导体装置的平面结构的平面图。再有，图 13 的 A6-A6 剖面与图 11 中示出的形状相同，图 13 的 A7-A7 剖面与图 12 中示出的形状相同，图 13 的 B3-B3 剖面与图 5 中示出的形状相同。

实施例 4 的第 1 形态是将实施例 1 的 H 栅电极 71 与实施例 3 的源系结构组合起来的结构，通过合并实施例 1 和实施例 3 各自的体电位固定 (由体区 10、2 个体区 13 和  $p^+$  区 55 进行的体电位固定)，可谋求体电位固定的进一步的强化。

图 14 是示出作为本发明的实施例 4 的第 2 形态的半导体装置的平面结构的平面图。再有，图 14 的 A8-A8 剖面与图 11 中示出的形状相同，图 14 的 A9-A9 剖面与图 12 中示出的形状相同。

实施例 4 的第 2 形态是将实施例 2 的 T 栅电极 72 与实施例 3 的源系结构组合起来的结构, 通过合并实施例 2 和实施例 3 各自的体电位固定 (由体区 10、1 个体区 13 和  $p^+$  区 55 进行的体电位固定), 可谋求体电位固定的进一步的强化。

5 图 15 是示出作为本发明的实施例 4 的第 3 形态的半导体装置的平面结构的平面图。再有, 图 15 的 A10-A10 剖面与图 11 中示出的形状相同, 图 15 的 A11-A11 剖面与图 12 中示出的形状相同, 图 15 的 B4-B4 剖面与图 5 中示出的形状相同。

实施例 4 的第 3 形态是将改进了实施例 1 的 H 栅电极 71 的特殊 H 栅电极 73 与实施例 3 的源系结构组合起来的结构, 通过合并实施例 1 和实施例 3 各自的体电位固定, 可谋求体电位固定的进一步的强化。

再者, 在实施例 4 的第 3 形态中, 特殊 H 栅电极 73 利用分离部 73a 分离源区 54 与  $p^+$  区 55。

15 由于实施例 3 和实施例 4 的第 1 和第 2 形态的栅电极没有相当于分离部 73a 的部分, 故在源区 54 上形成硅化物区时, 源区 54 与  $p^+$  区 55 短路了。因此, 不能可逆地利用源和漏的作用。

另一方面, 由于在第 3 形态中存在分离部 73a, 故即使在源区 54 上形成硅化物区, 由于因分离部 73a 的缘故, 源区 54 不与  $p^+$  区 55 短路, 故能可逆地利用源和漏的作用。但是, 由于栅电容增加了分离部 73a 存在的部分, 故与第 1 形态相比, 工作速度变慢。再有, 在分离部 73a 20 的下方经氧化膜形成了  $p^-$  的体区。

因而, 如果将实施例 4 的第 1-第 3 形态的 PDSOI-MOSFET 使用于强烈地要求体电位固定的 I/O 电路、模拟电路 (PLL、读出放大器)、定时电路、动态电路等, 则是特别有效的。

25 此外, 关于实施例 4 的结构, 根据源、漏区的结位置, 可分类为与实施例 1 相同的第 1 形态至第 4 形态。

#### 〈实施例 5〉

实施例 1-实施例 4 分别是具有利用部分隔离区进行元件隔离的单一的 PDSOI-MOSFET 的半导体装置, 但在实施例 5 中, 是具有利用部分隔离区进行元件隔离的多种的 PDSOI-MOSFET 的半导体装置。以下, 30 列举 PDSOI-MOSFET 的种类。

类型 1: 用通常的栅结构 (参照图 1 和图 2) 进行体电位固定。



类型 2: 用 H 栅电极结构进行体电位固定 (实施例 1).

类型 3: 用 T 栅电极结构进行体电位固定 (实施例 2).

类型 4: 用源系结构进行体电位固定 (实施例 3).

再有, 有重复类型 4 与类型 2 或类型 3 的情况 (实施例 4).

5 (体浮置类型)

图 16 是示出 PDSOI-MOSFET 的类型 5 (其 1) 的平面结构的平面图. 如该图中所示, 不存在体区 10 和体端子 25 的 PDSOI-MOSFET 的体区主要部呈浮置状态.

10 图 17 是示出 PDSOI-MOSFET 的类型 5 (其 2) 的平面结构的平面图. 如该图中所示, 在即使设置体区 10 但不进行由体端子进行的电位固定的结构中, PDSOI-MOSFET 的体区也呈浮置状态.

这样, 将使体区为浮置状态的类型作为新的种类来分类. 类型 5 的 PDSOI-MOSFET 起到可将阈值电压设定得比进行体电位固定的类型 1~类型 4 的阈值电压低的效果.

15 在这样的体浮置类型中, 将栅电极 7 那样的通常的电极结构的类型分类为类型 5, 与类型 2 和类型 3 同样地用 H 栅电极结构和 T 栅电极结构置换栅电极 7 而使之成为体浮置的类型分类为类型 6 和类型 7. 再有, 在类型 6 和类型 7 中, 当然不进行由体区 13 上的体端子 28 进行的体电位固定.

20 以下, 列举 PDSOI-MOSFET 的浮置类型的种类.

类型 5: 用通常的栅结构使之成为体浮置 (通常, 是用图 15 示出那样的不设置体区 10 的连结体结构).

类型 6: 用 H 栅电极结构使之成为体浮置.

类型 7: 用 T 栅电极结构使之成为体浮置.

25 再有, 由于体区的大小为类型 6>类型 7>类型 5, 故根据朝向体区的载流子的散逸的容易程度, 在其它的条件相同的情况下, 阈值电压成为类型 5<类型 7<类型 6 的顺序.

30 在利用部分隔离区进行了元件隔离的 2 个以上的元件形成区中形成了以上叙述的类型 1~类型 7 中的 2 个以上的类型的 PDSOI-MOSFET 的半导体装置是实施例 5 的半导体装置.

在这样的结构实施例 5 的半导体装置中, 在利用部分隔离区进行了元件隔离的多个元件形成区中, 使体区的结构、栅电极的结构和体



电位固定的有无中的至少一个因素不同，可设置阈值电压等的晶体管特性不同的多种 PDSOI - MOSFET。

其结果，可使用多种 PDSOI - MOSFET 中的与晶体管特性对应的 PDSOI - MOSFET 来构成高功能的半导体集成电路。

5 再者，通过在多种 PDSOI - MOSFET 的每一种中分别变更沟道浓度、SOI 层 4 的膜厚、栅氧化膜 5 的膜厚、材料等，可将多种 PDSOI - MOSFET 各自的阈值电压设定为不同的值。

此外，从类型 1 ~ 类型 4 中使用 2 个以上的类型的 PDSOI - MOSFET，通过将各自的衬底偏压（体电位固定电压）设定为不同的值，也可分  
10 别得到阈值电压不同的 PDSOI - MOSFET。

#### 〈实施例 6〉

实施例 6 的半导体装置是除了利用部分隔离区进行了元件隔离的第 1 元件形成区外，还具有利用完全隔离区（从 SOI 层 4 的表面到达背面（埋入氧化膜 2）的元件隔离用的绝缘膜）进行了元件隔离的第 2  
15 元件形成区的部分隔离及完全隔离合并使用型的半导体装置。

以下，列举利用完全隔离区进行元件隔离的 PDSOI - MOSFET 的种类。

图 18 是示出类型 A 的 PDSOI - MOSFET 的剖面结构的剖面图。如该图中所示，在利用作为以从 SOI 层 4 的表面到达背面（埋入氧化膜 2）的方式设置的完全隔离区的完全氧化膜 32 进行了元件隔离的区域中形  
20 成了 PDSOI - MOSFET。再有，除了将部分氧化膜 31 置换为完全氧化膜 32 这一点和不存在体区 10 和体端子 25 这一点外，与图 4 中示出的实施例 1 的平面结构相同。

图 19 是示出类型 A 的 PDSOI - MOSFET 的平面结构的平面图。图 19  
25 的 A12 - A12 剖面相当于图 18。

如该图中所示，除了将部分氧化膜 31 置换为完全氧化膜 32 这一点和不存在体区 10 这一点外，与图 4 中示出的实施例 1 的平面结构相同。

因而，类型 A 的 PDSOI - MOSFET 通过利用在 2 个体区 13 上设置的  
30 2 个体端子 28 进行体电位固定，可降低体电阻的电阻值，可有效地抑制晶体管特性的离散性。但是，不能象实施例 1 那样进行由在体区 10 上设置的体端子 25 进行的体电位固定。

图 20 是示出类型 B 的 PDSOI - MOSFET 的平面结构的平面图。如该图中所示,除了将部分氧化膜 31 置换为完全氧化膜 32 这一点和不存在体区 10 这一点外,与实施例 2 的平面结构相同。此外,图 20 的 A13 - A13 剖面与图 18 中示出的剖面结构相同。

5 因而,类型 B 的 PDSOI - MOSFET 通过利用在 1 个体区 13 上设置的体端子 28 进行体电位固定,可降低体电阻的电阻值,可有效地抑制晶体管特性的离散性。但是,不能象实施例 2 那样进行由在体区 10 上设置的体端子 25 进行的体电位固定。

10 此外,象实施例 3 那样,在完全隔离区中用源系结构进行了体电位固定的类型为类型 C。

图 21 是示出类型 D 的 PDSOI - MOSFET 的平面结构的平面图。如该图中所示,除了将部分氧化膜 31 置换为完全氧化膜 32 这一点外,与在图 16 中示出的进行了部分隔离的类型 5 的 PDSOI - MOSFET 相同。此外,图 21 的 A14 - A14 剖面与图 18 中示出的剖面结构相同。

15 同样,除了将部分氧化膜 31 置换为完全氧化膜 32 这一点外的与类型 6 和类型 7 的 PDSOI - MOSFET 同样的结构作为类型 E 和类型 F 而存在。

再有,基于与类型 5 ~ 类型 7 同样的原因,在其它的条件相同的情况下,阈值电压成为类型 D < 类型 F < 类型 E 的关系。

20 以上,类型 A ~ 类型 F 是在利用完全隔离区进行了元件隔离的第 2 区域上形成的 PDSOI - MOSFET 的种类。如果将上述的类型 A ~ 类型 F 归纳起来,则如下所述。

类型 A: 用 H 栅电极结构进行体电位固定(与实施例 1 类似,但不进行由体区 10 进行的体电位固定)。

25 类型 B: 用 T 栅电极结构进行体电位固定(与实施例 2 类似,但不进行由体区 10 进行的体电位固定)。

类型 C: 用源系结构进行体电位固定(与实施例 3 类似,但不进行由  $p^+$  区 55 进行的体电位固定)。

类型 D: 用通常的栅结构使之成为体浮置。

30 类型 E: 用 H 栅电极结构使之成为体浮置。

类型 F: 用 T 栅电极结构使之成为体浮置。

由于在利用完全隔离区进行了元件隔离的第 2 元件形成区中形成

这些类型 A~类型 F 的 PDSOI-MOSFET, 故可起到无“锁定”的效果。

此外, 通过象类型 A 和类型 B 那样采用 H 栅电极结构和 T 栅电极结构、或象类型 C 那样采用源系结构, 可固定体电位, 抑制衬底浮置效应。

5 另一方面, 在利用部分隔离区进行了元件隔离的第 1 元件形成区中形成的 PDSOI-MOSFET 的种类成为在实施例 5 中已叙述的类型 1~类型 7。

再有, 关于 PDSOI-MOSFET 的阈值电压, 在其它的条件相同的情况下, 以下那样的关系成立。完全隔离浮置结构 (类型 D~F) < 部分  
10 隔离浮置结构 (类型 5~7) < 体电位固定结构 (类型 A、B、类型 1~4)。

再有, 之所以部分隔离浮置结构的阈值比完全隔离浮置结构的阈值高, 是因为, 由于部分隔离浮置结构的体区比完全隔离浮置结构的体区大, 故具有使导致衬底浮置效应的载流子 (在 NMOS 中, 是空穴, 在 PMOS 中, 是电子) 消失的效果。

15 实施例 6 是下述的半导体装置: 在部分隔离及完全隔离合并使用结构中, 在利用部分隔离区进行了元件隔离的第 1 元件形成区中形成上述的类型 1~类型 7 中的 1 种以上的类型的 PDSOI-MOSFET, 同时在利用完全隔离区进行了元件隔离的第 2 元件形成区中形成上述的类型 A~类型 F 中的 1 种以上的类型的 PDSOI-MOSFET。

20 这样的结构的实施例 6 的半导体装置通过具有多种 PDSOI-MOSFET, 可设置适用于各自的用途的 PDSOI-MOSFET。

再者, 通过在多种 PDSOI-MOSFET 的每一种中分别变更沟道浓度, SOI 层 4 的膜厚、栅氧化膜 5 的膜厚、材料等, 可将多种 PDSOI-MOSFET 各自的阈值电压设定为不同的值。

25 此外, 从类型 1~类型 4 中使用 2 个以上的类型的 PDSOI-MOSFET, 通过将各自的衬底偏压 (体电位固定电压) 设定为不同的值, 也可分别得到阈值电压不同的 PDSOI-MOSFET。

图 22 是概念性地示出了实施例 6 的半导体装置的平面结构的说明图。如该图中所示, 以混合存在的方式设置了由部分氧化膜 31 得到的  
30 部分隔离区 131 (131A~131G) 和由完全氧化膜 32 得到的完全隔离区 132。在图 22 的例子中, 在部分隔离区 131B 中设置了类型 1~4 的体电位固定类型的 PDSOI-MOSFET, 在完全隔离区 132 中设置了类型 A、



类型 B、类型 D~类型 F 的 PDSOI-MOSFET, 在部分隔离区 131D 中设置了类型 5 的体浮置类型的 PDSOI-MOSFET, 在部分隔离区 131E 中设置了类型 6 和类型 7 的体浮置类型的 PDSOI-MOSFET.

(应用例 1)

5 图 23 是示出实施例 6 的半导体装置的应用例 1 的电路图. 如该图中所示, 由 PMOS 晶体管 Q11~Q13 和 NMOS 晶体管 Q21~Q23 构成了 3 输入端的与非门 (半导体集成电路).

在节点 N1、接地电平之间按 Q21~Q23 的顺序串联地连接 NMOS 晶体管 Q21~Q23, 在输出端子 33、节点 N1 之间并列地连接 PMOS 晶体管 Q11~Q13. 而且, 将输入信号 IN1 输入到 PMOS 晶体管 Q11 和 NMOS 晶体管 Q21 的栅上, 将输入信号 IN2 输入到 PMOS 晶体管 Q12 和 NMOS 晶体管 Q22 的栅上, 将输入信号 IN3 输入到 PMOS 晶体管 Q13 和 NMOS 晶体管 Q23 的栅上.

在这样的结构中, 对于 NMOS 晶体管 Q21, 使用完全隔离浮置结构 (例如, 类型 D), 对于 NMOS 晶体管 Q22, 使用部分隔离浮置结构且没有体区和体端子的连结体结构 (类型 5), 对于 NMOS 晶体管 Q23, 使用部分隔离体电位固定结构 (例如, 类型 1~类型 4 的某一种).

这样, 对于 NMOS 晶体管 Q21~Q23 分开使用多种 PDSOI-MOSFET, 对于 NMOS 晶体管 Q21~Q23 来说, 配置成使衬底偏置效应变大.

20 即, 通过按 Q21~Q23 的顺序使用衬底偏置效应的影响强的特性的 MOS 晶体管作为处于按 Q21~Q23 的顺序容易受到衬底偏置效应的影响的状况的 NMOS 晶体管 Q21~Q23, 可有效地抑制由衬底偏置效应引起的速度下降.

(应用例 2)

25 图 24 是示出实施例 6 的半导体装置的应用例 2 的电路图. 如该图中所示, 通过串联地连接多个倒相器 IV, 施行了倒相器链 (或环形振荡器).

各倒相器 IV 由 PMOS 晶体管 Q15 和 NMOS 晶体管 Q25 构成, PMOS 晶体管 Q15 与节点 N2 共同地连接, 节点 N2 经 PMOS 晶体管 Q14 与电源电压 VDD 连接, 对 PMOS 晶体管 Q14 的栅施加控制信号 S14. 此外, NMOS 晶体管 Q25 的源共同地接地.

再有, 在 PMOS 晶体管 Q14 为关断状态时, 可使各倒相器 IV 成为



非激活状态, 在 PMOS 晶体管 Q14 为导通状态时, 可使各倒相器 IV 成为激活状态。

在这样的结构中, 对于构成倒相器 IV 的 PMOS 晶体管 Q15 和 NMOS 晶体管 Q25, 使用完全隔离浮置结构 (类型 D~类型 F) 或部分隔离连接体结构 (类型 5)。由于这些结构的阈值电压比体电位固定结构的阈值电压低, 故可使倒相器 IV 高速地工作。

另一方面, 通过对于倒相器 IV 的开关控制用 PMOS 晶体管 Q14 使用部分隔离体电位固定结构 (类型 1~类型 4), 由于可提高阈值电压, 故可谋求电源关断时的低功耗化。

10 这样, 通过用构成倒相器 IV 的 MOS 晶体管 Q15 和 Q25 以及 PMOS 晶体管 Q14 分开使用多种 PDSOI-MOSFET 来改变两者的阈值电压, 可谋求高速化、低功耗化。

(补充)

15 图 25 是示出被完全隔离区进行了元件隔离的 FD (全耗尽) SOI-MOSFET 的结构剖面图。如该图中所示, 外观上的结构与在图 16 中示出的完全隔离体浮置结构相同。

但是, FDSOI-MOSFET 在栅电极 7 正下方的耗尽层 94 到达埋入氧化膜 2 这一点与 PDSOI-MOSFET 不同。此外, 在 FDSOI-MOSFET 中, 也可以是源、漏的  $n^-$  区到达埋入氧化膜 2 的结构。

20 再有, 图 25 中示出的 FDSOI-MOSFET 可用完全隔离结构的类型 A~类型 F 的任一结构来实现, 也可部分隔离结构的类型 1~类型 7 的任一结构来实现。

25 FDSOI-MOSFET 具有子阈值系数好、即开关速度快的优点。但是, 也有因 SOI 层 4 的膜厚的离散性而导致阈值发生离散性的缺点。在这一点上, 由于 PDSOI-MOSFET 的栅正下方的耗尽层不与埋入氧化膜相接, 故阈值电压的控制性良好。

在实施例 5 或实施例 6 中使用的晶体管种类中, 除了图 25 中示出的 FDSOI-MOSFET 外, 也可谋求所使用的晶体管种类的进一步的多样化。

30 再有, 在实施例 1~实施例 6 中, 主要示出了 NMOS 晶体管的结构, 但也可应用于 PMOS、CMOS 中, 这一点是明白的。

(实施例 7)

(第1形态)

图26是示出作为本发明的实施例7的第1形态的半导体装置的电阻元件形成区的剖面图,图27是平面图。图27的C1-C1剖面相当于图26。

5 如这些图中所示,利用部分氧化膜31a及其下方的p阱区11进行隔离,设置p<sup>+</sup>区21和22。p<sup>+</sup>区21和p<sup>+</sup>区22经部分氧化膜31a下的p阱区11导电性地连接,在p<sup>+</sup>区21上的电阻端子23与p<sup>+</sup>区22上的电阻端子24之间,可形成电阻元件R3。

10 即,使用作为部分氧化膜31a下的SOI层4的p阱区11来形成电阻元件R3。而且,利用部分氧化膜31a膜厚(即,部分氧化膜31a下的p阱区11的膜厚),可控制电阻元件R3的电阻值。

而且,利用与部分氧化膜31a不同的部分氧化膜31对电阻元件R3的外周进行元件隔离,形成n区12和n<sup>+</sup>保护环区20。n<sup>+</sup>保护环区20是在n区12中有选择地被形成的区域。利用n<sup>+</sup>保护环区20和n区12,  
15 可使被形成电阻元件R3的电阻元件形成区与其它的元件隔离。

图28是示出一般的电阻元件的剖面图。如该图中所示,在p阱区11的上层部有选择地设置p<sup>+</sup>区21和22。通过经p阱区11导电性地连接p<sup>+</sup>区21和p<sup>+</sup>区22,可在p<sup>+</sup>区21上的电阻端子23与p<sup>+</sup>区22上的电阻端子24之间形成电阻元件R3。再有,其它的结构与第1形态相同。

20 由于在图23中示出的第1形态利用部分氧化膜31下的p阱区11来形成电阻,故可增加在图28中示出的一般的电阻元件电阻值。

(第2形态)

图29是示出作为实施例7的第2形态的半导体装置的电阻元件的剖面图。第2形态采用了部分隔离及完全隔离合并使用结构。

25 如该图中所示,与第1形态相同,利用处于p<sup>+</sup>区21上的电阻端子23与p<sup>+</sup>区22上的电阻端子24之间的部分氧化膜31下的p阱区11,可形成电阻元件R3。

由于电阻元件R3被完全氧化膜32与周围完全隔离,故没有必要象第1形态那样设置n区12和n<sup>+</sup>保护环区20。

30 (第3形态)

图30是示出作为实施例7的第3形态的半导体装置的电阻元件形成区的剖面图。

如该图中所示, 利用作为部分氧化膜 31 及其下方的 p 阱区 11 的部分隔离区进行元件隔离, 设置 p<sup>+</sup> 区 21 和 22. p<sup>+</sup> 区 21 和 p<sup>+</sup> 区 22 经 2 个部分氧化膜 31a 下的 p 阱区 11 和不形成部分氧化膜 31 的 p 阱区 11a 导电性地连接, 可在 p<sup>+</sup> 区 21 上的电阻端子 23 与 p<sup>+</sup> 区 22 上的电阻端子 24 之间形成电阻元件 R34. 再有, 其它的结构与第 1 形态相同.

由于第 3 形态中利用在上部不形成部分氧化膜 31 的 p 阱区 11a 形成电阻元件 R34, 故可抑制在部分氧化膜 31 的形成时的凹坑问题.

在以上示出的实施例 7 中, 由于在源、漏区形成时通过部分氧化膜 31 注入决定电阻值的杂质, 故通过象第 3 形态那样设置不形成部分氧化膜 31 的区域, 可抑制电阻值的离散性.

#### (应用例)

图 31 是示出 6 晶体管 CMOS 结构的 SRAM 单元的电路图. 如该图中所示, 通过在节点 N11、N12 间交叉连接由 NMOS 晶体管 Q1 和 PMOS 晶体管 Q5 构成的 CMOS 倒相器和由 NMOS 晶体管 Q2 和 PMOS 晶体管 Q6 构成的 CMOS 倒相器, 构成了锁存器.

而且, 在位线 BL1 与节点 N11 间插入 NMOS 晶体管 Q3. 在位线 BL2 与节点 N12 间插入 NMOS 晶体管 Q4. NMOS 晶体管 Q3 和 Q4 的栅连接到字线 WL 上. 再有, NMOS 晶体管 Q1、Q2、PMOS 晶体管 Q5、Q6 被称为驱动晶体管, NMOS 晶体管 Q3、Q4 被称为存取晶体管.

图 32 是示出实现图 31 中示出的 SRAM 单元用的布局结构的平面图. 如该图中所示, 利用部分氧化膜 31 进行元件隔离, 有选择地形成有源区 66~69. 再有, 有源区 66、69 是 n 型杂质区, 有源区 67、68 是 p 型杂质区.

而且, 在图 32 上, 横跨有源区 66 上形成栅电极 78, 横跨有源区 66 和 67 上形成栅电极 79, 横跨有源区 68 和 69 上形成栅电极 80, 横跨有源区 69 上形成栅电极 81.

此外, 关于有源区 66~69、栅电极 78~82, 分别在规定的部位上设置接点 76, 经该接点 76 与未图示的位线 BL、字线 WL 等的布线导电性地连接. 此外, 有源区 67 经共用接点 77 与栅电极 80 导电性地连接, 有源区 68 经共用接点 77 与栅电极 79 导电性地连接.

通过这样来构成, 利用有源区 66 和栅电极 79 构成了 NMOS 晶体管 Q1, 利用有源区 69 和栅电极 80 构成了 NMOS 晶体管 Q2, 利用有源区 66



和栅电极 78 构成了 NMOS 晶体管 Q3, 利用有源区 69 和栅电极 81 构成了 NMOS 晶体管 Q4, 利用有源区 67 和栅电极 79 构成了 PMOS 晶体管 Q5, 利用有源区 68 和栅电极 80 构成了 PMOS 晶体管 Q6.

图 33 是示出高电阻负载型的 SRAM 单元的电路图. 如该图中所示, 通过在节点 N11、N12 间交叉连接由 NMOS 晶体管 Q1 和电阻 R11 构成的 NMOS 倒相器和由 NMOS 晶体管 Q2 和 R12 构成的 NMOS 倒相器, 构成了锁存器. 其它的结构与图 31 中示出的 SRAM 单元相同.

图 34 是示出实现图 33 中示出的 SRAM 单元用的布局结构的平面图. 如该图中所示, 利用部分氧化膜 31 进行元件隔离, 有选择地形成有源区 66、69. 再有, 有源区 66、69 是 n 型杂质区.

再者, 有选择地形成  $p^+$  区 21a、21b、22a 和 22b, 在  $p^+$  区 21a、21b 与 22a、22b 之间分别设置分别在实施例 7 的第 2 形态中示出的形成电阻元件的电阻层形成阱区 82a 和 82b. 再有, 利用在周围形成的完全氧化膜 32, 将电阻层形成阱区 82a 和  $p^+$  区 21a、22a 以及电阻层形成阱区 82b 和  $p^+$  区 21b、22b 与其它的元件完全隔离.

而且, 在图 34 上, 横跨有源区 66 上形成栅电极 78, 横跨有源区 66 上形成栅电极 79, 横跨有源区 69 上形成栅电极 80, 横跨有源区 69 上形成栅电极 81.

此外, 关于有源区 66、69、栅电极 78~82, 分别在规定的部位上设置接点 76, 经该接点 76 与未图示的位线 BL、字线 WL 等的布线导电性地连接. 此外,  $p^+$  区 22a 经共用接点 77 与栅电极 80 导电性地连接,  $p^+$  区 22b 经共用接点 77 与栅电极 79 导电性地连接.

通过这样来构成, 利用有源区 66 和栅电极 79 构成了 NMOS 晶体管 Q1, 利用有源区 69 和栅电极 80 构成了 NMOS 晶体管 Q2, 利用有源区 66 和栅电极 78 构成了 NMOS 晶体管 Q3, 利用有源区 69 和栅电极 81 构成了 NMOS 晶体管 Q4, 利用  $p^+$  区 21a、22a 和电阻层形成阱区 82a 构成了成为负载电阻 (负载元件) 的电阻 R11, 利用  $p^+$  区 21b、22b 和电阻层形成阱区 82b 构成了成为负载电阻的电阻 R12.

如果比较图 32 与图 34, 则通过使电阻层形成阱区 82a、82b 的形成面积比有源区 67、68 的形成面积窄, 可减小 SRAM 单元的面积.

#### 〈实施例 8〉

图 35 是示出一般的 H 栅电极的平面图. 如图 35 中所示, 在 H 栅



电极 71 中, 利用左右的 “I”, 导电性地隔离在源区 50 和漏区 60 上在栅宽 W 方向上邻接地形成的体区 16 与漏区 60 和源区 50, 中央的 “-” 起到原来的 MOS 晶体管的栅电极的功能。

在这样的结构中, 注入到体区 16 中的 p<sup>+</sup> 注入掩模开口部 15 覆盖 H 栅电极 71 的端部。因而, 在 H 栅电极 71 的端部, 与 n 型的杂质一起也注入 p 型的杂质, 存在对于 H 栅电极 71 下的栅氧化膜的杂质注入时的损伤变大的问题。此外, 关于工艺温度, 作为 p 型杂质被注入了的 B、BF<sub>2</sub> 等扩散到有源区中形成的栅电极区域, 存在引起阈值电压的离散性的问题。

图 36 是示出作为本发明的实施例 8 的半导体装置的平面结构的平面图。图 37 是示出图 36 的 D1-D1 剖面的剖面图。

如这些图中所示, 通过在 H 栅电极 71 中在与左右的 “I” 邻接的区域中设置 p<sup>-</sup> 体区 17b、与 p<sup>-</sup> 体区 17b 邻接地设置 p<sup>+</sup> 体区 17a, 形成了体区 17。

这样, 通过从 H 栅电极 71 起离开距离 r1 设置 p<sup>+</sup> 体区 17a, 可将 p<sup>+</sup> 注入掩模开口部 15b 设置成可靠地不覆盖 H 栅电极 71 的端部。

因而, 与图 35 中示出的结构相比, 由于可大幅度地减轻对于 H 栅电极 71 下的栅氧化膜的杂质注入时的损伤, 故可提高栅氧化膜的可靠性, 有效地抑制阈值电压的离散性。

另外, 由于在 p<sup>+</sup> 体区 17a 与 H 栅电极 71 之间设置了距离 r1, 故作为 p 型杂质被注入了的 B、BF<sub>2</sub> 等不会扩散到有源区中形成的栅电极区域而引起阈值电压的离散性。

即, 在图 36 的结构中, 由于 p 型的杂质注入到 H 栅电极 71 的端部的情况充其量成为袋状区域形成时的程度, 故可将 H 栅电极 71 的端部的 p 型的杂质浓度抑制为  $5 \times 10^{18} \text{cm}^{-3}$  以下, 可抑制阈值电压的离散性。

此外, 如图 37 中所示, 在 H 栅电极 71 下的 SOI 层 4 与 p<sup>+</sup> 体区 17a 之间设置杂质浓度低的 p<sup>-</sup> 体区 17b, 可能导致体电阻的电阻值上升。

但是, 通过在 p<sup>-</sup> 体区 17b 上设置硅化物等, 可比较容易地解决该问题。再有, 实施例 8 不仅可应用于 H 栅电极结构, 也可原封不动地应用于 T 栅电极结构, 这一点是明白的。

此外, 关于隔离技术, 实施例 8 被用于使用完全隔离、部分隔离、

部分隔离及完全隔离合并使用制造的 H 栅电极结构和 T 栅电极结构。该结构也可应用于 PMOS、CMOS，这一点是明白的。

再有，在实施例 1~ 实施例 8 中，关于在单晶硅上制造的 SOI 晶体管进行了叙述，但当然也可应用于在多晶硅上制造的多晶硅 TFT（薄膜晶体管）。

#### 〈部分隔离流程〉

以下示出部分隔离、部分隔离及完全隔离合并使用流程的例子。

图 38~ 图 52 是示出在由部分隔离区进行了元件隔离的第 1 区域中形成元件的部分隔离流程的剖面图。以下，参照这些图，说明部分隔离流程。

首先，如图 38 中所示，准备作为初始晶片的 SOI 衬底。SOI 衬底由半导体衬底 1、埋入氧化膜 2 和 SOI 层 4 的层叠结构形成，在典型的情况下，SOI 层 4 的膜厚为 30~400nm，埋入氧化膜 2 的膜厚为 100~500nm。在功率器件的用途中，SOI 层 4 的膜厚为几微米~几十微米。

其次，如图 39 中所示，在 SOI 层 4 的表面上形成氧化膜 35。使用热氧化膜、TEOS 氧化膜等作为氧化膜 35。氧化膜 35 的膜厚约为 5~40nm。其次，在氧化膜 35 上淀积氮化膜 36。氮化膜 36 的膜厚约为 50~300nm。可利用 LPCVD（低压化学汽相淀积）或等离子氮化膜 CVD 来淀积氮化膜 36。

其次，进行对于氮化膜 36 的光刻。即，将在氮化膜 36 上形成的抗蚀剂作为掩模来使用，在 RIE（反应离子刻蚀）或 ECR（电子回旋共振）装置中对氮化膜 36 进行构图。其次，用灰化法及过硫酸盐水溶液除去抗蚀剂。

然后，如图 40 中所示，将已被构图的氮化膜 36 作为掩模，使用 RIE 或 ECR 装置，对氧化膜 35 和 SOI 层 4 进行刻蚀，有选择地形成槽 37。此时，以残存 SOI 层 4 的一部分的方式形成槽 37。

其次，如图 41 中所示，在整个面上淀积氧化膜 38。可使用等离子 TEOS 装置、HDP（高密度等离子）装置等来淀积氧化膜 38。氧化膜 38 的膜厚约为 100~500nm。其次，使用 CMP（化学机械抛光）装置，使表面平坦化。此外，可作成将氧化膜 38 埋入到槽 37 中的状态。

其后，进行 1000℃~1100℃的热处理，使已被淀积的氧化膜 38 的膜质量提高。此外，在淀积氧化膜 38 之前的图 40 中示出的阶段中，

在槽 37 的内壁上进行  $900^{\circ}\text{C} \sim 1000^{\circ}\text{C}$  的高温热氧化, 使槽的上部和底部的 SOI 层 4 的角部变圆, 由于这样做缓和了应力, 故是有效的。

其次, 如图 42 中所示, 使用 RIE、ECR 或湿法刻蚀对氧化膜进行了回刻 (etchback) 后, 其次, 通过使用热磷酸来除去氮化膜 36, 完成部分氧化膜 31。由该部分氧化膜 31 和部分氧化膜 31 下的 SOI 层 4 进行了隔离的区域成为元件形成区。此时, 也可完全地除去残留在 SOI 层 4 (有源区) 上的氧化膜 35, 再次淀积热氧化膜或氧化膜。

然后, 如图 43 中所示, 将用光刻处理进行了构图的抗蚀剂 39 作为掩模, 注入 B (硼) 离子, 形成 p 阱区 11。

接着, 如图 44 中所示, 将用光刻处理进行了构图的抗蚀剂 41 作为掩模, 注入 P (磷) 离子, 形成 n 阱区 12。

在 n 阱区 12 的形成中, 除了 P 以外, 也可使用 As、Sb 等的杂质, 在 p 阱区 11 的形成中, 除了 B 以外, 也可使用  $\text{BF}_2$ 、In 等的杂质。使 p 阱区 11 和 n 阱区 12 的杂质浓度都为  $1 \times 10^{15} \sim 1 \times 10^{19} \text{cm}^{-3}$ 。

然后, 如图 45 中所示, 在利用湿法刻蚀除去了在 SOI 层 4 的表面上形成的氧化膜 35 后, 形成栅氧化膜用的氧化膜 56。作为氧化膜 56, 除了通常的热氧化膜、氮化氧化膜外, 也可使用  $\text{Al}_2\text{O}_3$  等的金属氧化膜、 $\text{Ta}_2\text{O}_5$ 、BST 等的高介电常数氧化膜等。

其次, 使用 LPCVD 装置, 淀积约  $100 \sim 400 \text{nm}$  的多晶硅层。作为多晶硅层, 也可使用掺了 P、B 等的杂质的多晶硅层。此外, 也可使用 W、Ta、Al 等的金属电极, 来代替作为该栅电极的材料的多晶硅层。

其次, 在进行了光刻后, 使用 RIE 或 ECR 等的各向异性刻蚀装置对该多晶硅层进行加工、形成栅电极 7。此时, 也可在多晶硅层上淀积氧化膜或氮化膜/氧化膜的绝缘膜, 在进行光刻后, 以该绝缘膜作为掩模, 对多晶硅层进行加工。在图 45 中, 代表性地示出了栅电极 7, 但也可形成 H 栅电极 71、T 栅电极 72、特殊 H 栅电极 73 等的结构的栅电极, 也可在每个元件形成区中变更栅电极结构。

其次, 如图 46 中所示, 将由光刻处理进行了构图的抗蚀剂 43 和栅电极 7 作为掩模, 注入 p 型的杂质, 形成袋状区 11a。袋状区 11a 起到抑制伴随微细化的短沟道效应的作用。短沟道效应也受源、漏的结深、栅氧化膜等的条件的影响。因而, 如果将这些条件最佳化以抑制短沟道效应, 则也可省略该袋状区的形成工序。



作为袋状区形成时的 p 型杂质, 以约  $1 \times 10^{12} \sim 1 \times 10^{14} \text{cm}^{-2}$  的剂量注入 B 或 BF<sub>2</sub> 或 In, 形成袋状区 11a.

再者, 在袋状区形成后, 以抗蚀剂 43 和栅电极 7 为掩模, 注入 n 型杂质, 形成 n 延伸区 44. 作为 n 型杂质, 以约  $1 \times 10^{13} \sim 1 \times 10^{15} \text{cm}^{-2}$  的剂量使用 As、P 或 Sb 即可.

其次, 如图 47 中所示, 将由光刻处理进行了构图的抗蚀剂 45 和栅电极 7 作为掩模, 注入 n 型的杂质, 形成袋状区 12a.

作为袋状区形成时的 n 型杂质, 以约  $1 \times 10^{12} \sim 1 \times 10^{14} \text{cm}^{-2}$  的剂量使用 As、P 或 Sb, 形成袋状区 11a.

再者, 在袋状区形成后, 以抗蚀剂 45 和栅电极 7 为掩模, 注入 p 型杂质, 形成 p 延伸区 46. 作为 p 型杂质, 以约  $1 \times 10^{13} \sim 1 \times 10^{15} \text{cm}^{-2}$  的剂量使用 B、BF<sub>2</sub> 或 In 即可.

再有, 在图 46 和图 47 中, 为了方便起见, 都用「p<sup>-</sup>」图示了袋状区 11a 和 p 延伸区 46, 但实际上 p 延伸区 46 的杂质浓度较高. 同样, 为了方便起见, 都用「n<sup>-</sup>」图示了袋状区 12a 和 n 延伸区 44, 但实际上 n 延伸区 44 的杂质浓度较高.

在从此开始说明的图 48 以后的图中, 以 NMOS 晶体管和 PMOS 晶体管中的 NMOS 晶体管为代表进行说明. 再有, 即使在 PMOS 晶体管中, 除了导电型为与 NMOS 晶体管相反的关系这一点外, 与 NMOS 晶体管同样地形成.

其次, 如图 48 中所示, 在栅电极 7 的侧面上淀积侧壁膜. 作为该侧壁膜, 使用 TEOS 膜、等离子氧化膜. 此外, 也可使用由 LPCVD 或等离子 CVD 形成的 Si<sub>3</sub>N<sub>4</sub> 或 Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub> 的二层结构的绝缘膜. 在淀积后, 进行回刻, 形成侧壁 6.

其次, 进行光刻, 在 NMOS 形成区域中注入 n 型的杂质, 形成源区 52 和漏区 62. 作为 n 型的杂质, 以约  $1 \times 10^{14} \sim 1 \times 10^{16} \text{cm}^{-2}$  的剂量注入 As、P、Sb 等. 在源区 52 和漏区 62 的形成时, 也可同时形成 PMOS 的 n 型的体区.

再有, 虽然在图 48 中未图示, 但可通过以约  $1 \times 10^{14} \sim 1 \times 10^{16} \text{cm}^{-2}$  的剂量注入 B、BF<sub>2</sub>、In 等来形成 PMOS 的源、漏区. 此时, 也可同时形成 NMOS 的 p 型的体区. 其次, 进行激活源、漏区用的退火处理 (800 ~ 1150℃).



其次,如图 49 中所示,除去进行硅化的部分(源区 52、漏区 62 上或栅电极 7 上或体区(未图示)上等)的氧化膜 56.因而,只残存栅电极 7 和侧壁 6a 下的氧化膜 56,栅电极 7 下的氧化膜 56 成为栅氧化膜 5,侧壁 6a 下的氧化膜 56 和侧壁 6a 成为侧壁 6.然后,在源区 52、漏区 62 或栅电极 7 的表面上形成硅化区 47、48 和 49.

此时,通过在由部分隔离区进行了元件隔离的 2 个以上的元件形成区中分别形成类型 1~类型 7 的 PDSOI-MOSFET 中的 2 个以上的 PDSOI-MOSFET,可得到实施例 5 的半导体装置.

在图 49 中,描述了即使在源、漏和栅上也进行硅化的硅化工艺.也有只对栅进行硅化的工艺、或根据用途对于源、漏和栅都形成硅化物保护膜、不完全地进行硅化的情况.作为硅化物,可使用  $\text{TiSi}_2$ 、 $\text{CoSi}_2$ 、 $\text{NiSi}_2$ 、 $\text{WSi}_2$ 、 $\text{TaSi}_2$ 、 $\text{MoSi}_2$ 、 $\text{HfSi}_2$ 、 $\text{Pd}_2\text{Si}$ 、 $\text{PtSi}_2$ 、 $\text{ZrSi}_2$  等.

其次,如图 50 中所示,在整个面上以约 1 微米的厚度淀积由氧化膜构成的层间绝缘膜 85.其次,为了使层间绝缘膜 85 平坦化,进行 CMP.其后,进行接点形成用的光刻,利用刻蚀处理在硅化区 47、48 上形成接触孔 84.

其次,如图 51 中所示,在整个面上淀积 W(钨).也可淀积 Al、TiN、D-多晶硅层.此外,作为成膜方法,关于 W,有包封 CVD 法和选择 CVD 法.关于 Al,有高温溅射法和回流溅射法,关于 TiN、D-多晶硅层,有 LPCVD 法.为了提高 W 与基底绝缘膜的密接性,也可在淀积 W 之前形成 Ti、TiN、TiW.在此,说明关于包封 CVD 法的情况的 W.在 W 淀积后,利用回刻,实现完全的平坦化.

其次,如图 52 中所示,淀积成为第 1 层金属的铝布线层 88.当然,作为铝布线层 88 的材料,可使用 AlCuSi、Cu、D-多晶硅层.在光刻后,加工铝布线层 88.

其次,在包含铝布线层 88 的整个面上淀积层间绝缘膜 87,为了消除凹凸台阶差,使用 CMP 技术等进行平坦化.

其次,如图 53 中所示,开出成为第 2 层金属的与金属布线的连接孔(通路孔),在与接点同样地进行了钨层 89 的埋入后,在与第 1 层金属同样地形成了成为第 2 层金属的铝布线层 97 后,在整个面上淀积层间绝缘膜 96,与层间绝缘膜 87 同样地进行平坦化.

以后,在需要第 3 层金属以上的金属布线的器件的情况下,在重

复进行了图 52 或图 53 中示出的工序后, 淀积芯片保护膜 (钝化膜), 开出键合引线连接用的窗口 (pad), 结束全部的工序。

对于该 CMOS 工序, 说明了使用  $n^+$  栅、 $p^+$  栅的双栅工艺, 但当然也可使用单栅工艺或金属栅 (W、Ta 等) 工艺。

#### 5 〈部分隔离及完全隔离合并使用流程〉

图 54~图 57 是示出部分隔离及完全隔离合并使用的半导体装置的制造方法的完全隔离区形成工序的剖面图。以下, 参照这些图, 说明部分隔离及完全隔离合并使用流程。

10 首先, 在进行图 38~图 40 中示出的部分隔离流程后, 如图 54 中所示, 以被光刻处理进行了构图的抗蚀剂 98 为掩模, 附加进行对于槽 37 的槽刻蚀, 关于完全隔离的部分, 以贯通 SOI 层 4 的方式进行刻蚀, 形成到达埋入氧化膜 2 的槽 57。

15 其次, 如图 55 中所示, 在剥离抗蚀剂 98 后, 在整个面上淀积氧化膜 99。该氧化膜 99 是使用等离子 TEOS、HDP 装置等淀积的。氧化膜 99 的膜厚约为 100~500nm。由于在部分隔离用的槽 37 与完全隔离用的槽 57 的深度中存在  $t_1$  的差异, 故对应于图中的  $t_1$  这部分, 在槽 37 与槽 57 之间在氧化膜 99 的形成高度上产生了反映  $t_1$  的台阶差  $t_2$ 。

20 其后, 如图 56 中所示, 使用 CMP 装置使表面平坦化, 成为将氧化膜 99 埋入槽 37 中、将氧化膜 100 埋入槽 57 中的状态。但是, 由于在部分隔离区和完全隔离区中在氧化膜 99 上产生了上述的台阶差  $t_2$  的高度, 故产生完全隔离部分 (氧化膜 100) 的凹坑。其后, 进行 1000℃~1100℃的热处理, 使淀积膜的膜质量提高。此外, 在淀积氧化膜之前, 在槽内壁上进行 900℃~1000℃的高温热氧化, 使槽的上部和底部的 SOI 层 4 的角部变圆, 由于这样做缓和了应力, 故是有效的。

25 其次, 如图 57 中所示, 使用 RIE、ECR 或湿法刻蚀对氧化膜 99 和 100 进行回刻。其次, 使用热磷酸除去氧化膜 35。其结果, 分别完成部分氧化膜 31 和完全氧化膜 32。其结果, 形成由部分氧化膜 31 与周围进行元件隔离的第 1 元件形成区和形成由完全氧化膜 32 与周围进行元件隔离的第 2 元件形成区。此时, 也可完全除去在 SOI 层 4 的表面  
30 (有源区) 上残存的氧化膜 35, 再次淀积热氧化或氧化膜。

图 58 是示出栅电极 7 用的多晶硅层 70 的形成时的部分隔离区周边区域的剖面图。如该图中所示, 在以膜厚  $t_0$  形成了多晶硅层 70 的

情况下,反映在部分氧化膜 31 与氧化膜 56 之间产生的比较大的台阶差、部分氧化膜 31 的边缘附近区域上的膜厚为  $t_{11} (>t_0)$ 。

图 59 是示出栅电极 7 用的多晶硅层 70 的形成时的完全隔离区周边区域的剖面图。如该图中所示,在以膜厚  $t_0$  形成了多晶硅层 70 的情况下,反映在完全氧化膜 32 与氧化膜 56 之间产生的比较小的台阶差、完全氧化膜 32 的边缘附近区域上的膜厚为  $t_{12} (>t_0)$ 。

这样,在部分隔离用的部分氧化膜 31 和完全隔离用的完全氧化膜 32 中,起因于各自的边缘形状、即隔离边缘形状不同,由于在部分氧化膜 31 与氧化膜 56 之间产生的台阶差比在完全氧化膜 32 与氧化膜 56 之间产生的台阶差大,故  $t_{11}>t_{12}$  成立。

因而,为了得到图 45 中示出的栅电极 7,在对多晶硅层 70 进行刻蚀处理时,决定刻蚀时间等的刻蚀参数来进行,以便能可靠地除去多晶硅层 79 中的最大的膜厚  $t_{11}$  部分。

因此,关于膜厚  $t_{12}$  的部分,相当于  $(t_{11}-t_{12})$  的部分被过刻蚀,刻蚀损伤(等离子损伤)变大。其结果,可能导致成为完全氧化膜 32 的边缘附近区域的栅氧化膜的氧化膜 56 的可靠性的恶化。

关于该问题,在 H 栅电极中,由于用“1”的部分覆盖比通常的栅多的隔离边缘部分,故可抑制隔离边缘部分的栅氧化膜的可靠性恶化。

即,利用 H 栅电极的形成,有效地减小容易受到损伤的隔离边缘部分。此外,关于在隔离边缘形状变低的完全隔离的部分中制造的晶体管,因栅氧化膜变薄、阈值电压下降而引起的局部的寄生 MOS 导致的漏泄电流增加的问题令人担心。利用本发明的 H 栅电极也可抑制该问题。

其后的工序与部分隔离流程的图 42~图 54 中示出的工序相同,如果在由部分隔离区进行了元件隔离的第 1 元件形成区上例如形成类型 1~类型 7 的某一种 PDSOI-MOSFET,在由完全隔离区进行了元件隔离的第 2 元件形成区上形成类型 A~类型 F 的某一种 PDSOI-MOSFET,则完成实施例 6 的半导体装置。

如以上所说明的那样,由于本发明的第 1 方面所述的半导体装置在元件形成区内具有可从外部进行电位固定的体区电位设定部,故能以良好的稳定性固定作为体区主要部的电位的体电位。

本发明的第 2 方面所述的半导体装置中,通过利用栅电极的栅延



伸区导电性地隔断体区源、漏邻接部与源和漏区，体区源、漏邻接部的存在对 MOS 晶体管的工作不会产生任何不良影响，能以良好的稳定性固定体电位。

5 本发明的第 3 方面所述的半导体装置中，由于能从第 1 和第 2 体区源、漏邻接部分别进行体电位固定，故能进一步以良好的稳定性固定体电位。

本发明的第 4 方面所述的半导体装置中，一边作成一个栅延伸区，能将栅电容抑制到必要的最小限度，一边能利用一个体区源、漏邻接部以良好的稳定性固定体电位。

10 本发明的第 5 方面所述的半导体装置中，由于体区源、漏邻接部在从栅延伸区起隔开规定的距离的区域中具有与其它区域相比杂质浓度高的高浓度区域，故在高浓度区域形成用的第 2 导电型的杂质的注入时，能可靠地不对栅延伸区注入第 2 导电型的杂质。

15 本发明的第 6 方面所述的半导体装置中，由于可将栅延伸区的第 2 导电型的杂质浓度抑制为  $5 \times 10^{18} \text{cm}^{-3}$  以下，故可抑制 MOS 晶体管的阈值电压的离散性。

20 本发明的第 7 方面所述的半导体装置中，通过进行与源区混在一起形成的第 2 导电型的体电位固定用半导体区的电位固定，能以良好的稳定性固定体电位。体电位固定用半导体区的存在不会对将体区和源区设定为相同的电位而工作的 MOS 晶体管产生任何不良影响。

本发明的第 8 方面所述的半导体装置中，除了体区电位设定部外，可从元件形成区外的体区经部分绝缘膜下半导体区进行体区的电位固定。

25 由于本发明的第 9 方面所述的半导体装置的 MOS 晶体管中的源和漏区具有到达埋入绝缘层的形成深度，故对应于在各自的底面上不形成 pn 结的部分，可抑制结漏泄。

30 由于本发明的第 10 方面所述的半导体装置的 MOS 晶体管中的源和漏区具有在通常工作时从源和漏区起延伸的耗尽层不到达埋入绝缘层的形成深度，故在从元件形成区外对体区进行电位固定的情况下，能以良好的稳定性固定体电位。

由于本发明的第 11 方面所述的半导体装置的 MOS 晶体管中的源和漏区具有不到达埋入绝缘层的形成深度、而在通常工作时从漏区起延



伸的耗尽层到达埋入绝缘层的形成深度，故一边可减小结电容、一边可从元件形成区外进行体电位的固定。

由于本发明的第 12 方面所述的半导体装置的 MOS 晶体管中的漏区具有与源区相比其形成深度深的、而且在通常工作时从漏区起延伸的耗尽层到达埋入绝缘层的形成深度，故一边可从元件形成区外经源区进行体电位的固定、一边可将漏区中的结电容抑制得较小。

本发明的第 13 方面所述的半导体装置中，通过使第 1 和第 2MOS 晶体管间的体区的结构、栅电极的结构和体电位固定的有无中的至少一个因素不同，可构成由第 1 和第 2MOS 晶体管构成的高功能的半导体集成电路。

本发明的第 14 方面所述的半导体装置中，通过在由部分隔离区进行了元件隔离的第 1MOS 晶体管与由完全隔离区进行了元件隔离的第 2MOS 晶体管之间使晶体管特性不同，可构成由第 1 和第 2MOS 晶体管构成的高功能的半导体集成电路。

## 1



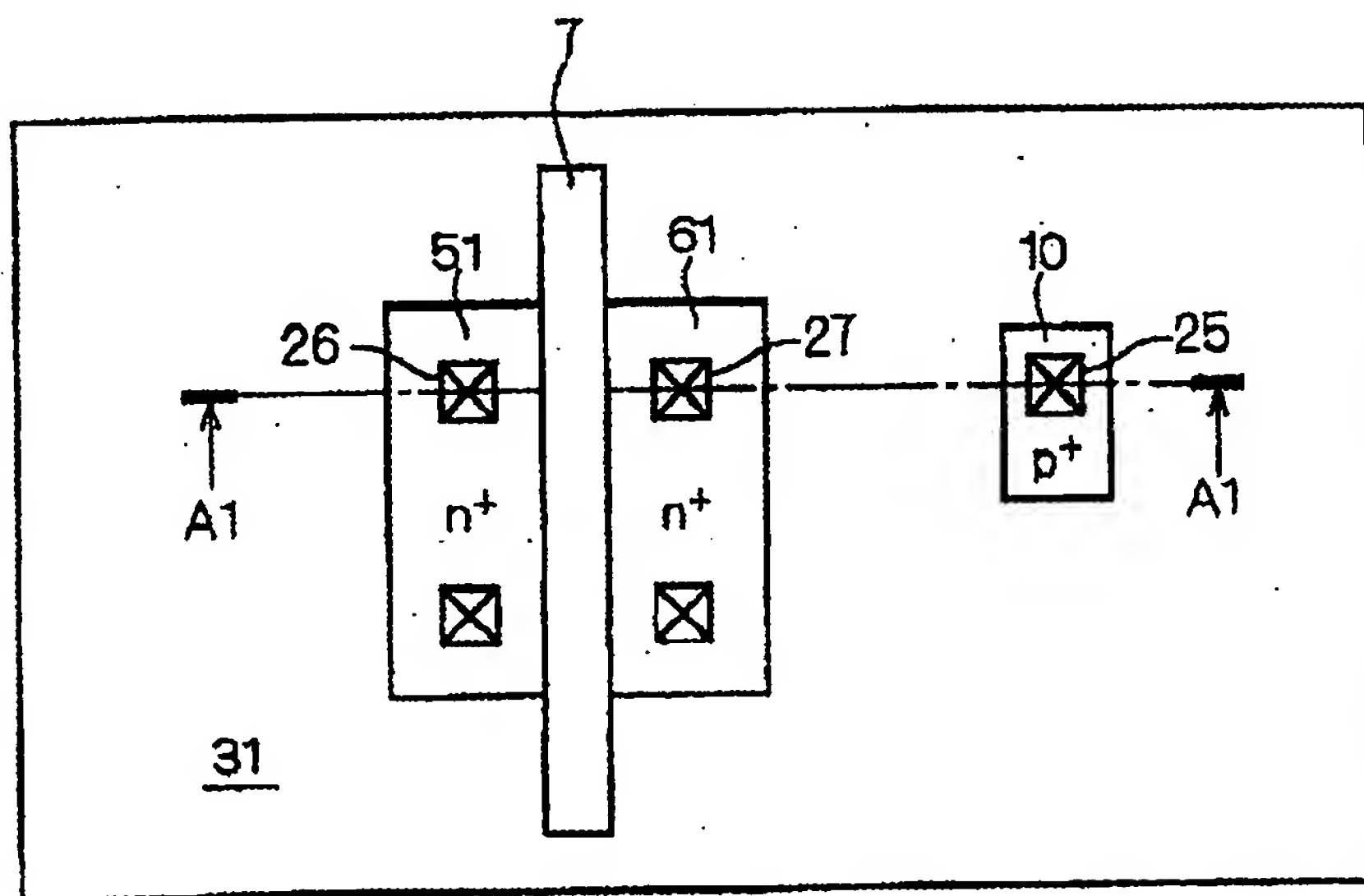


图 2

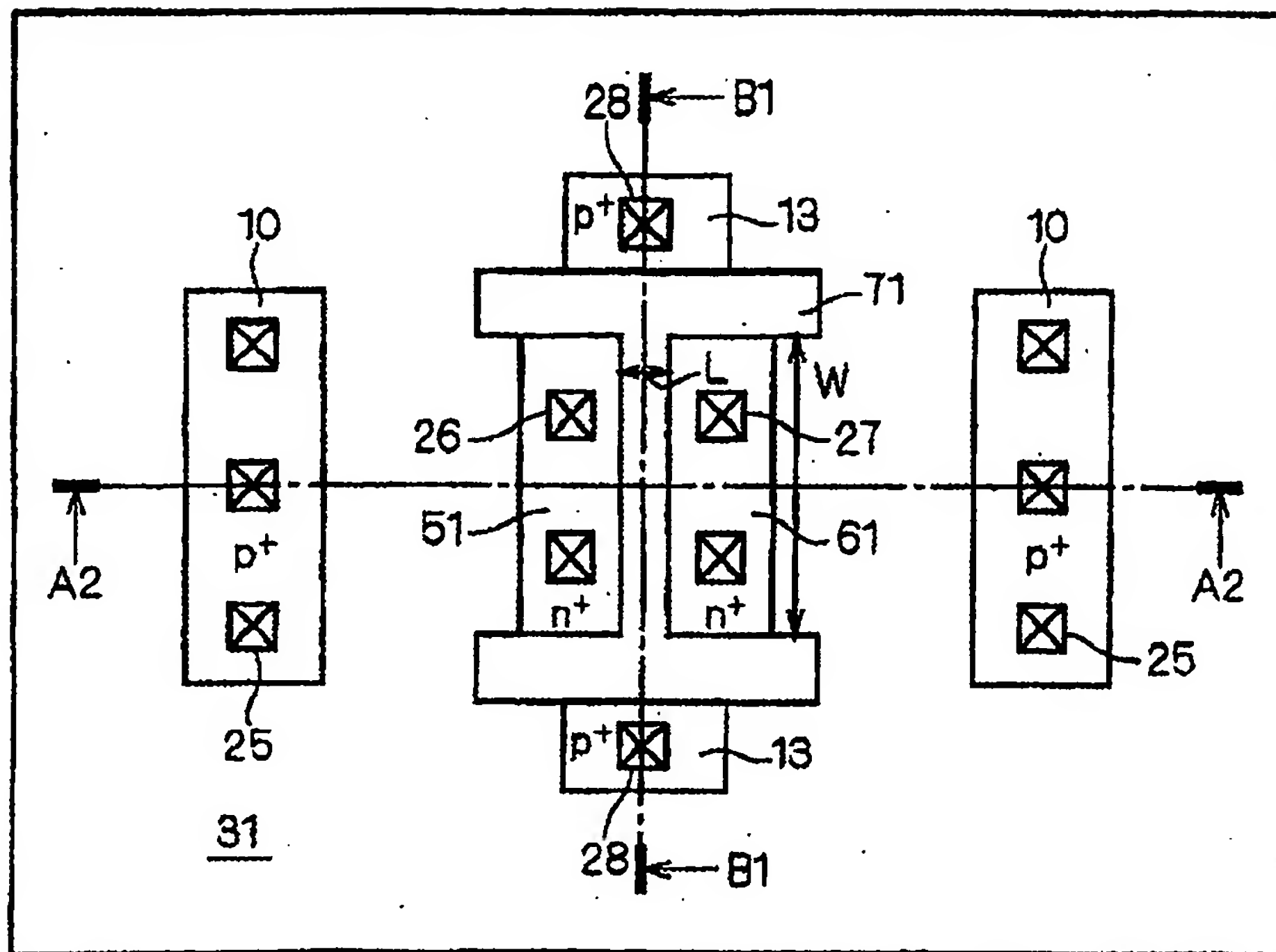


图 3



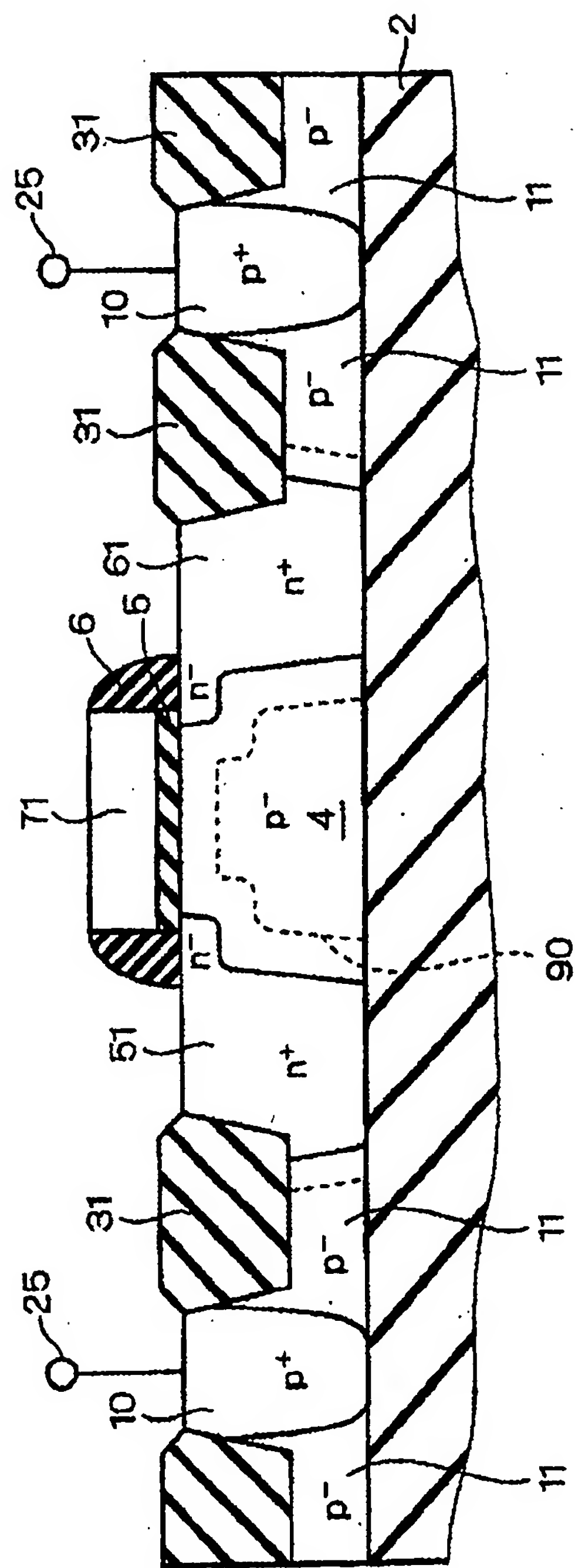


图 4

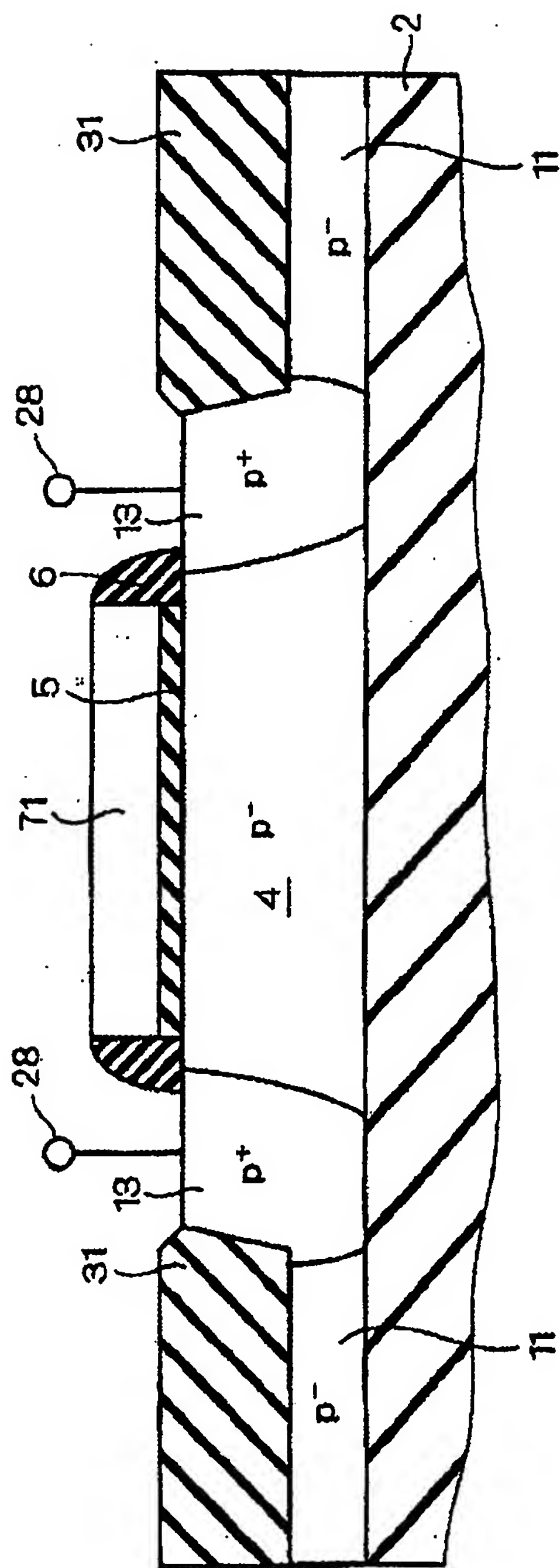


图 5

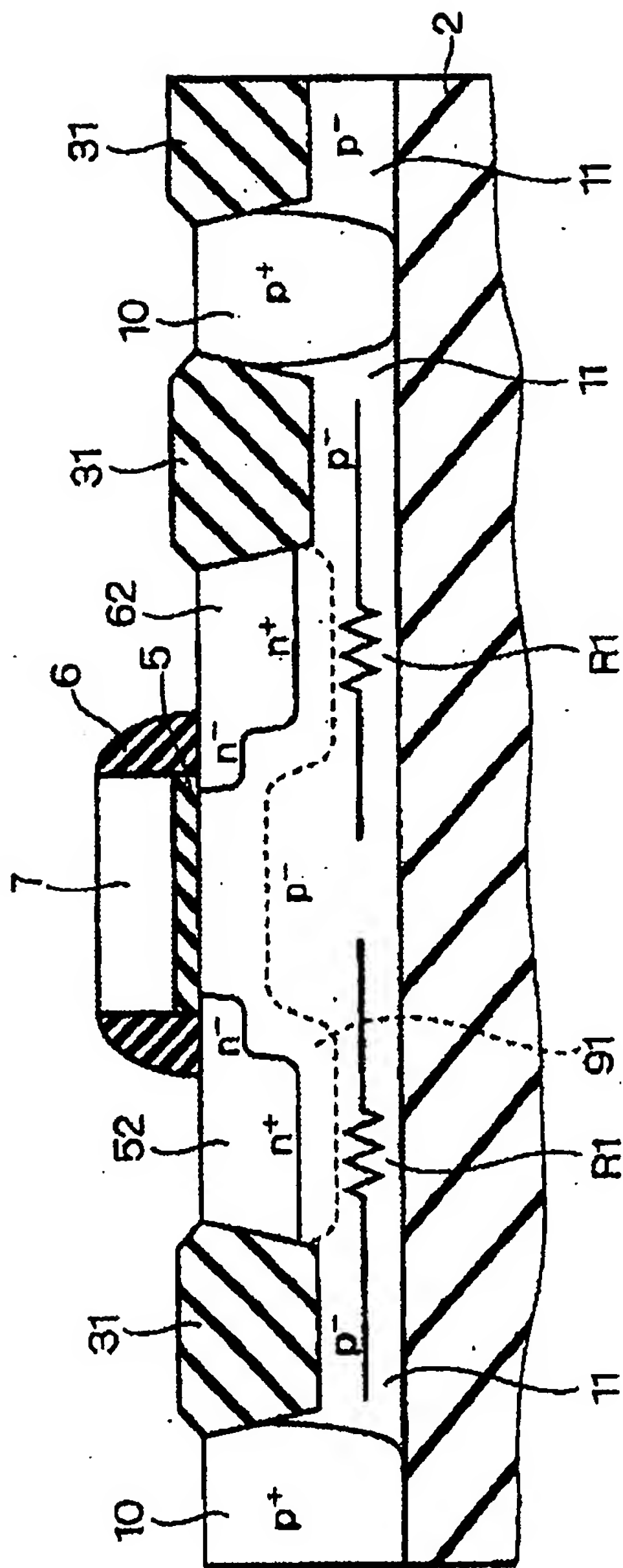


图 6

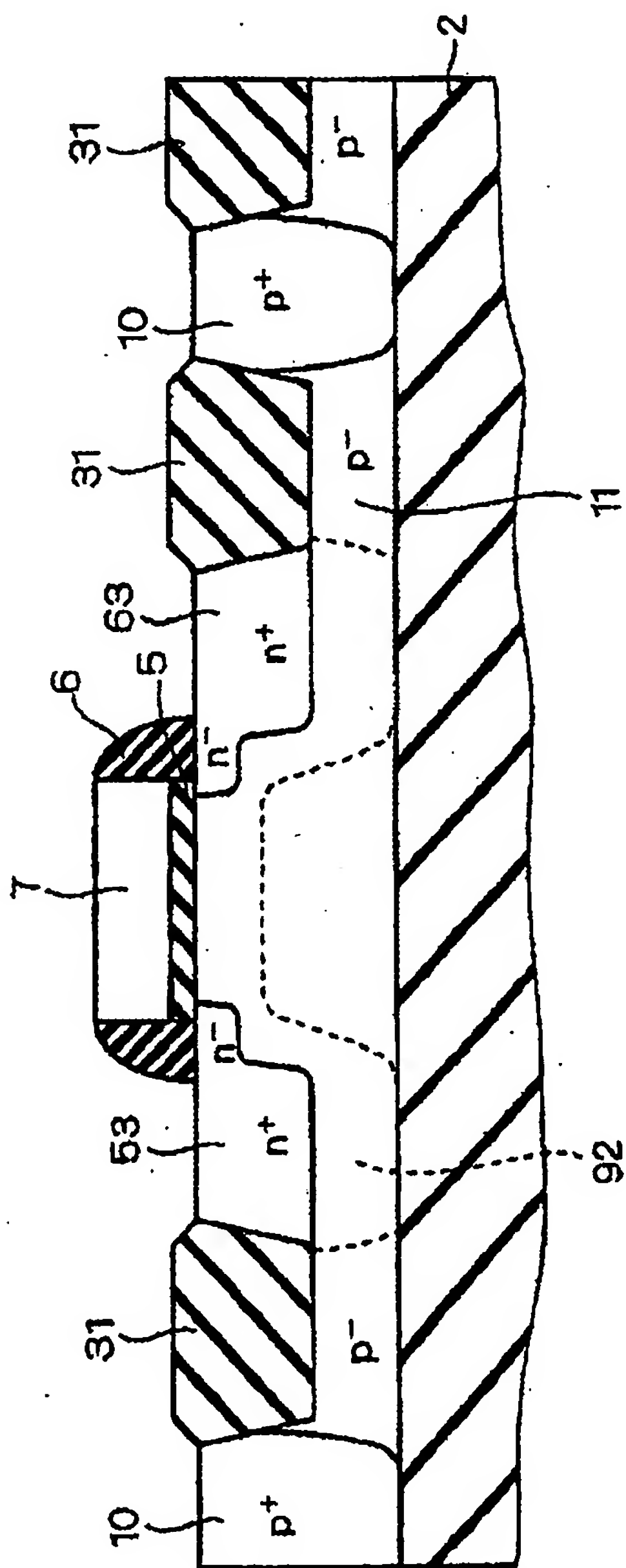


图 7



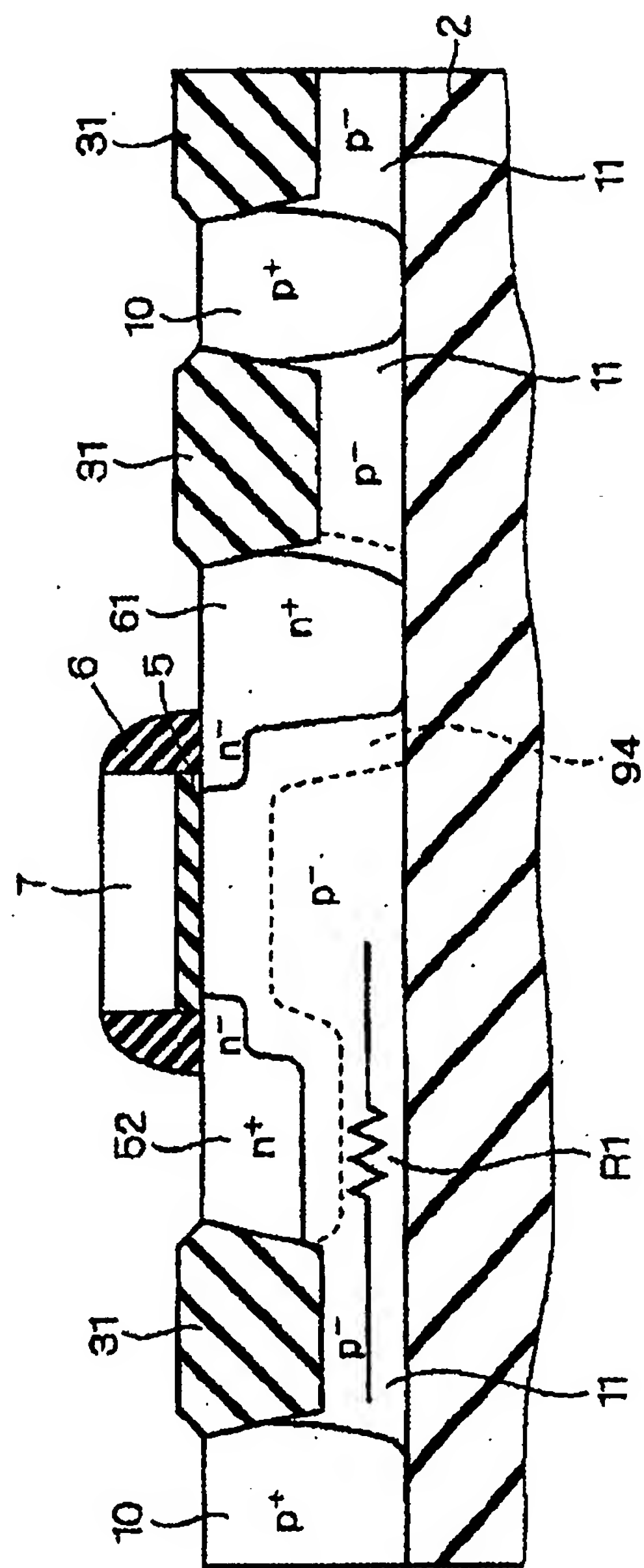


图 8



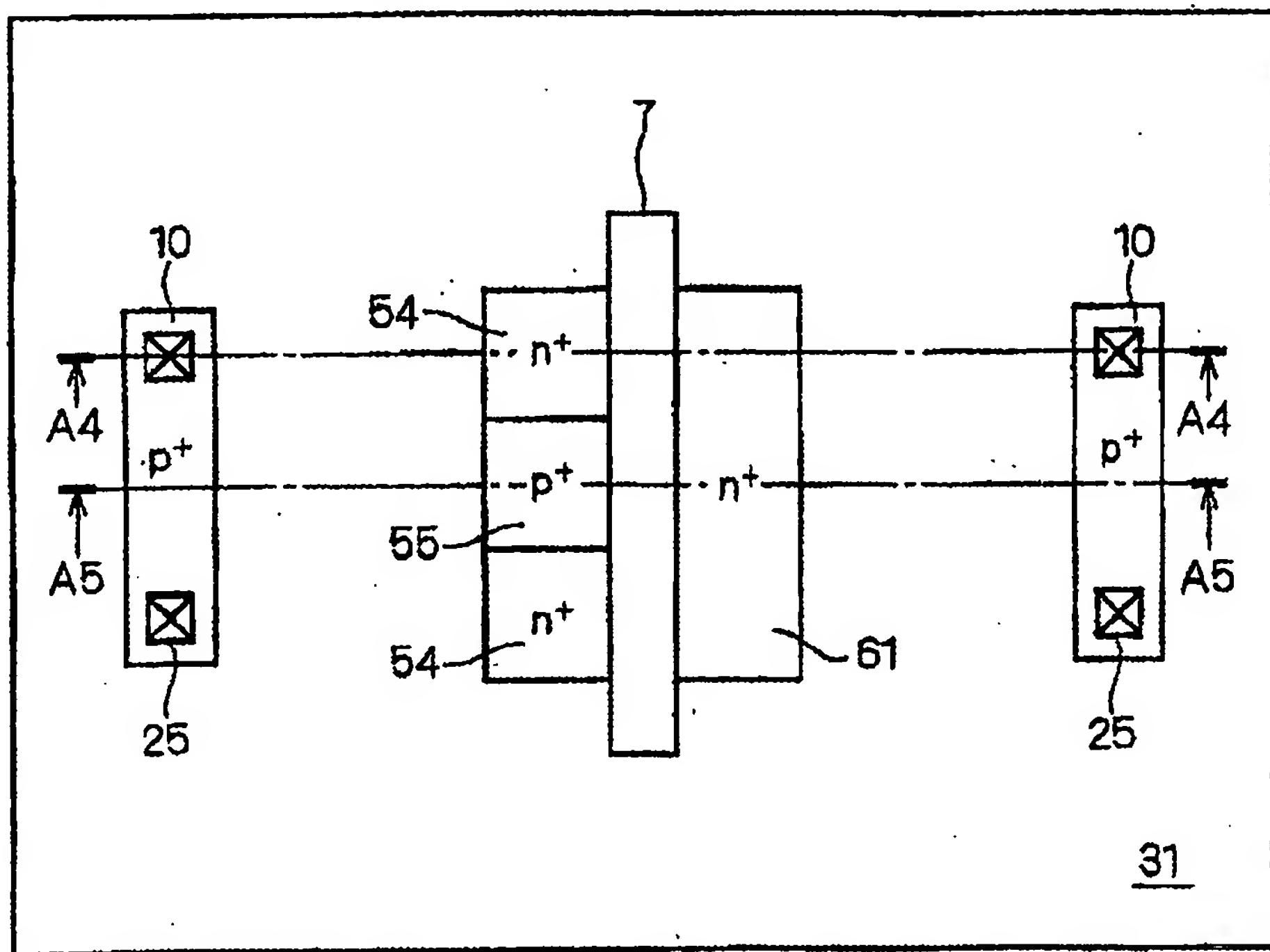


图 10

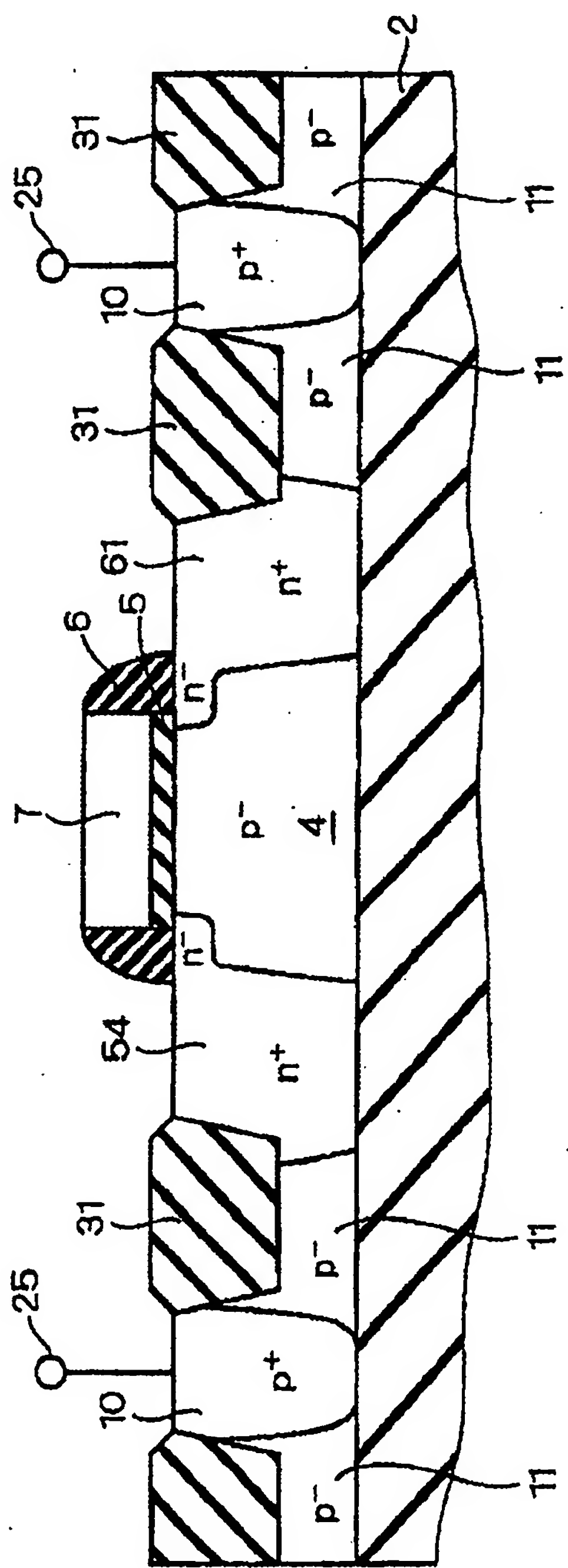


图 11



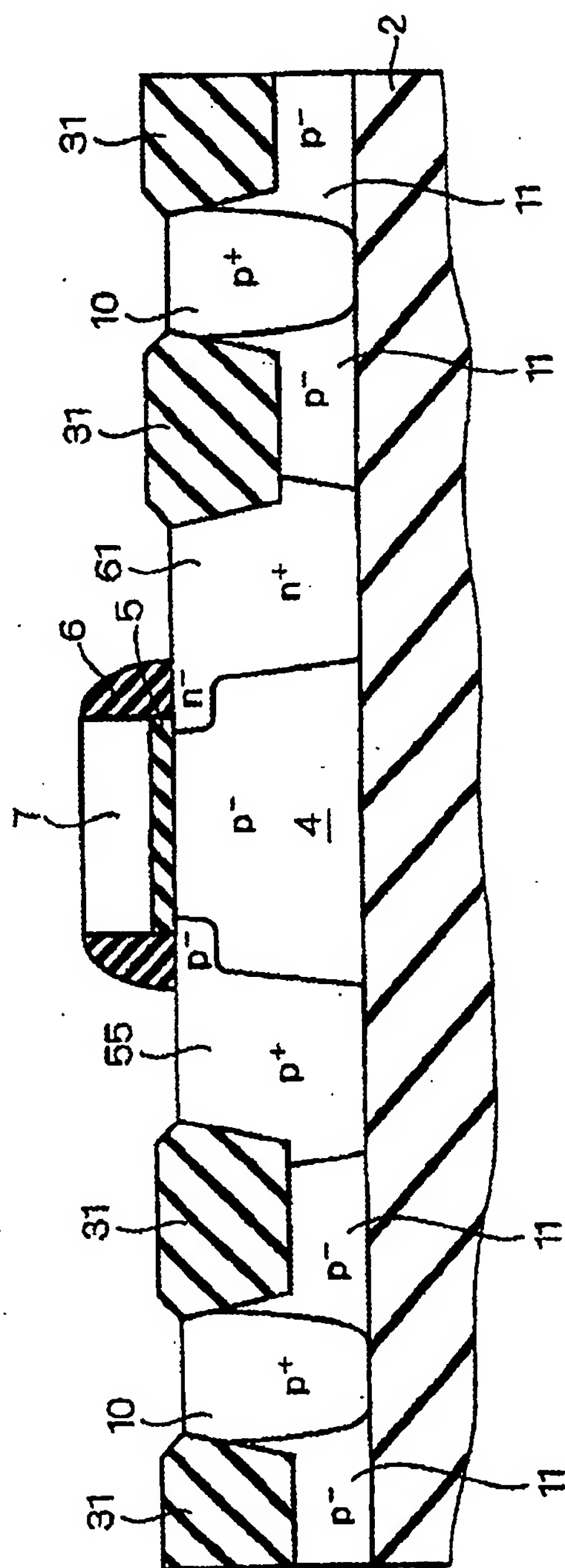


图 12

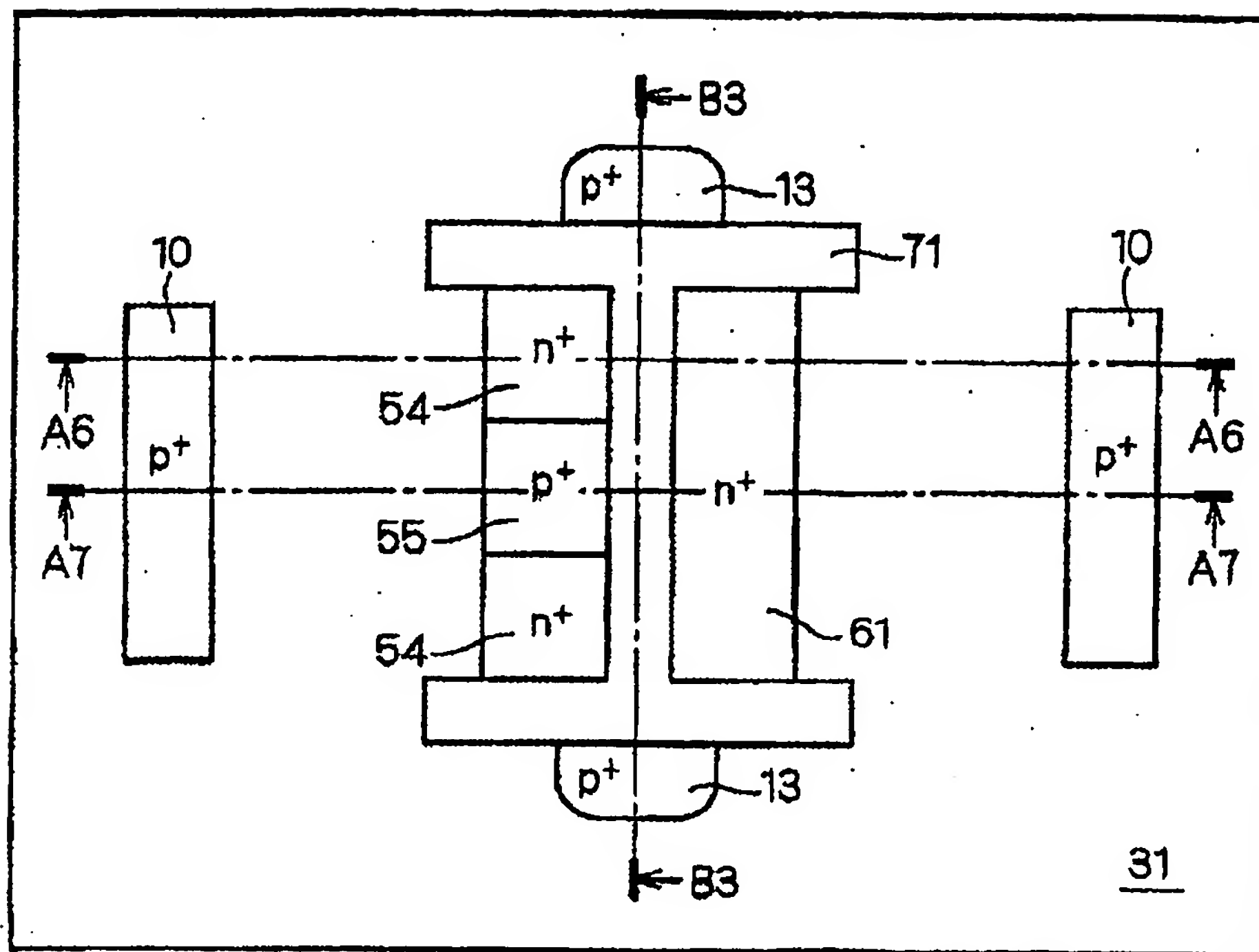


图 13

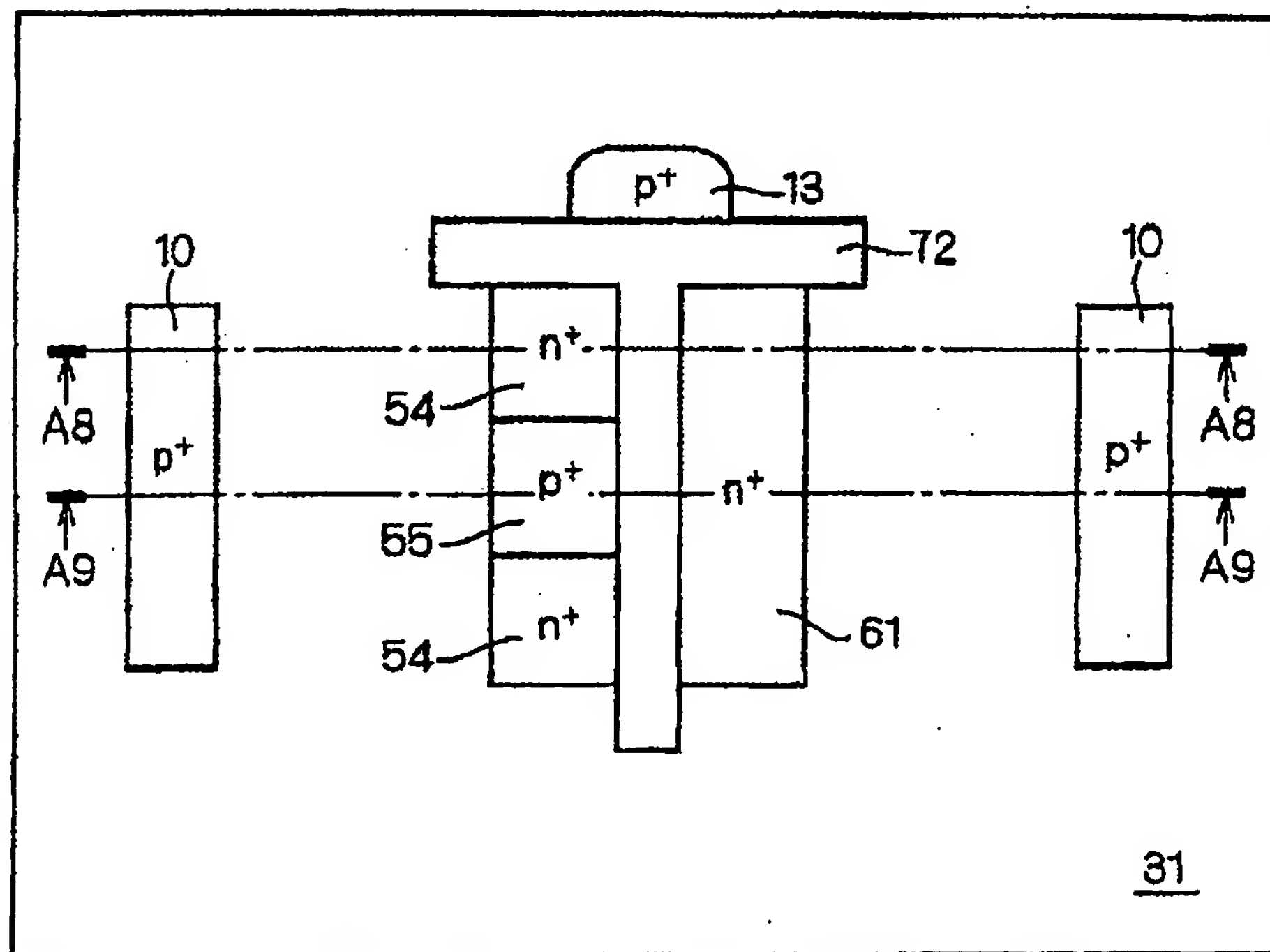


图 14

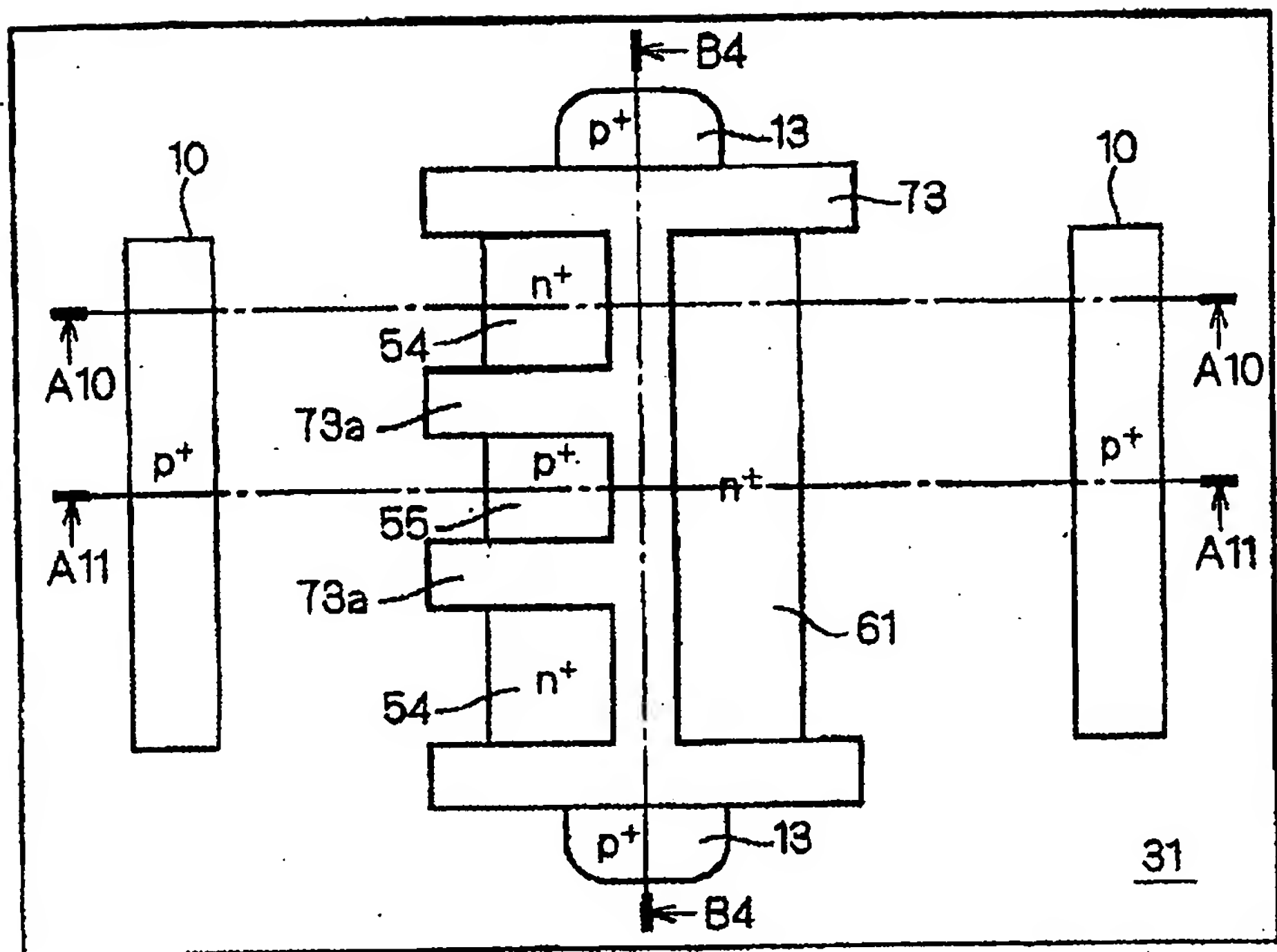


图 15

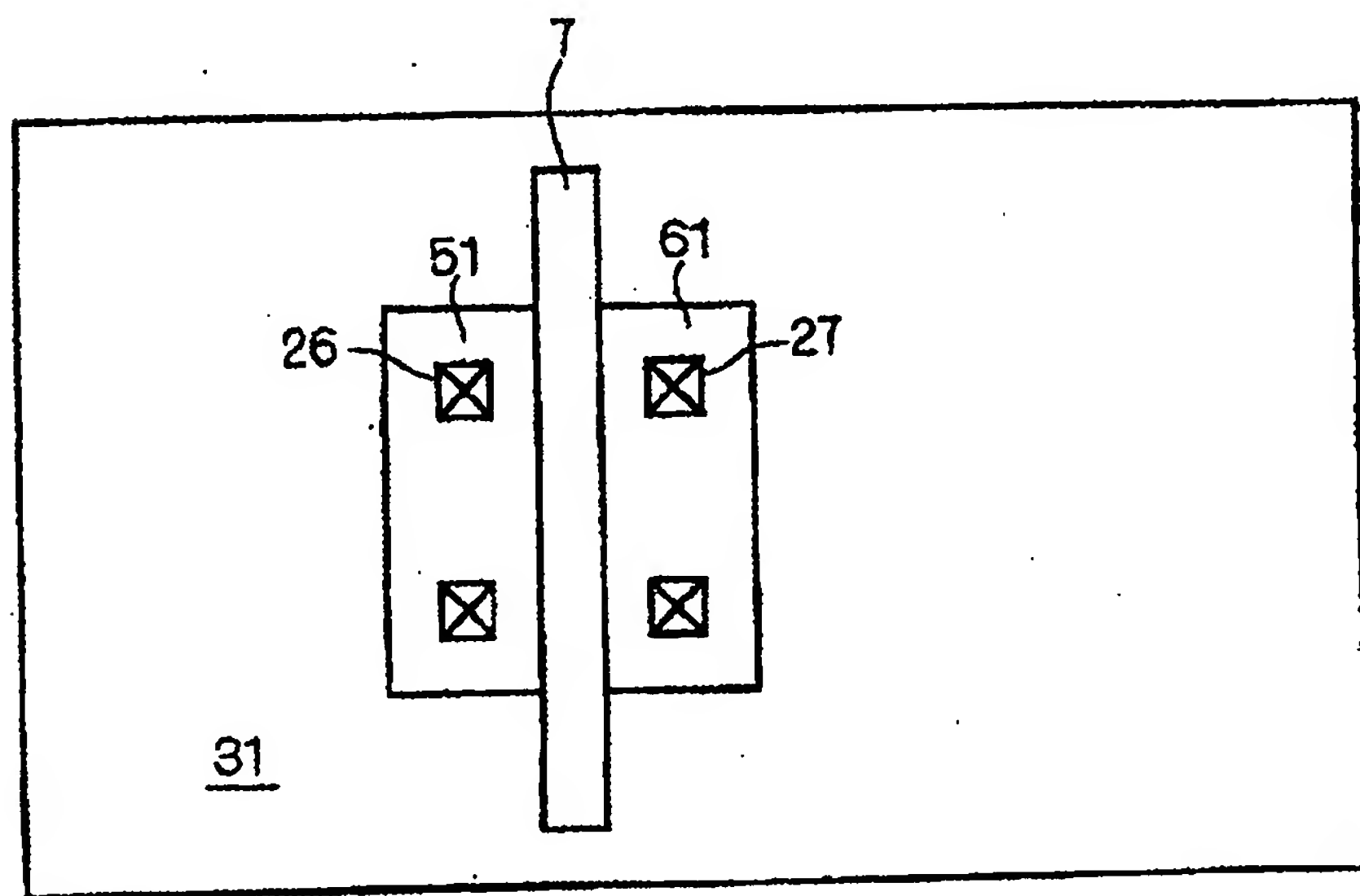


图 16

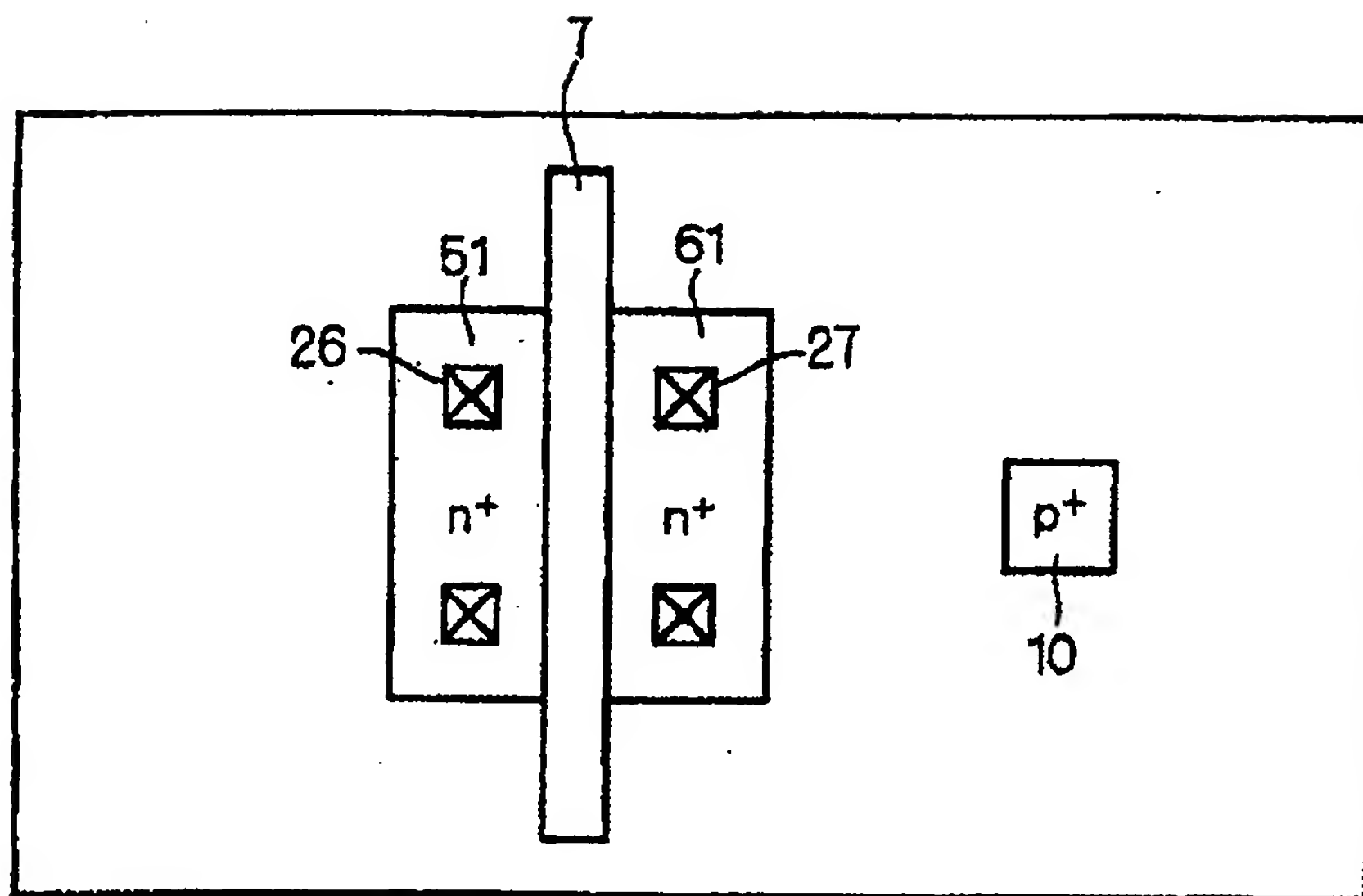


图 17

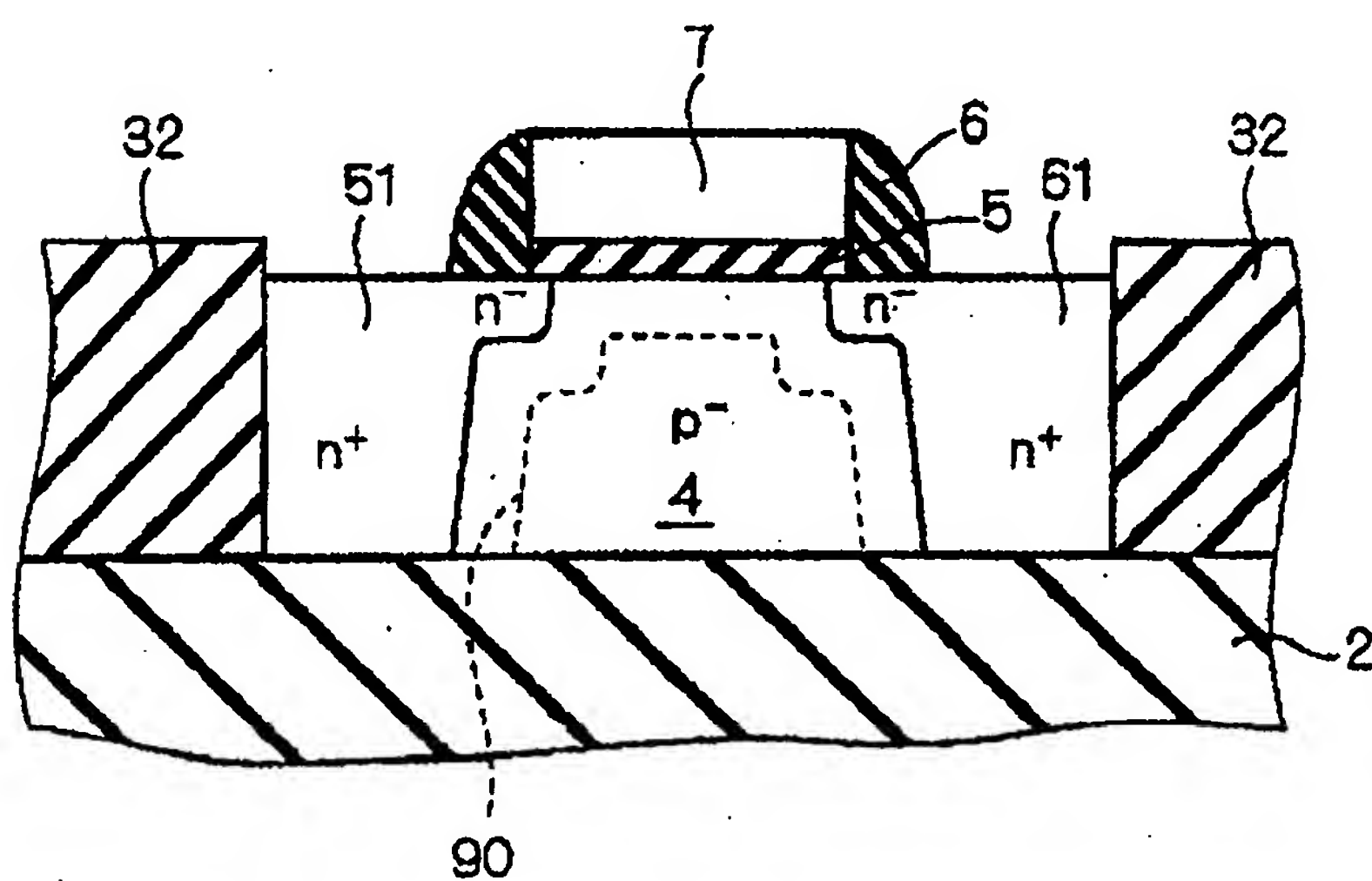


图 18



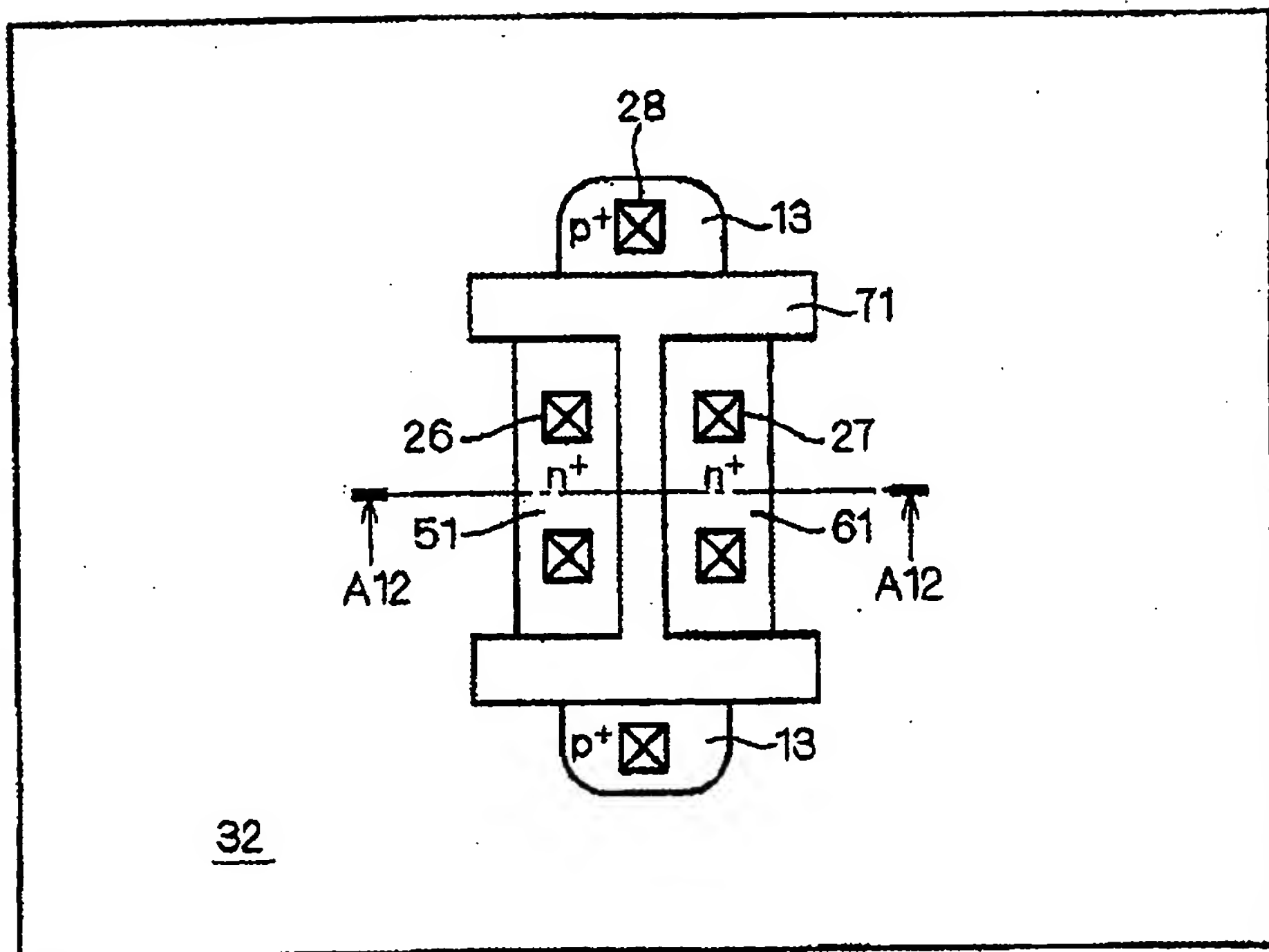


图 19

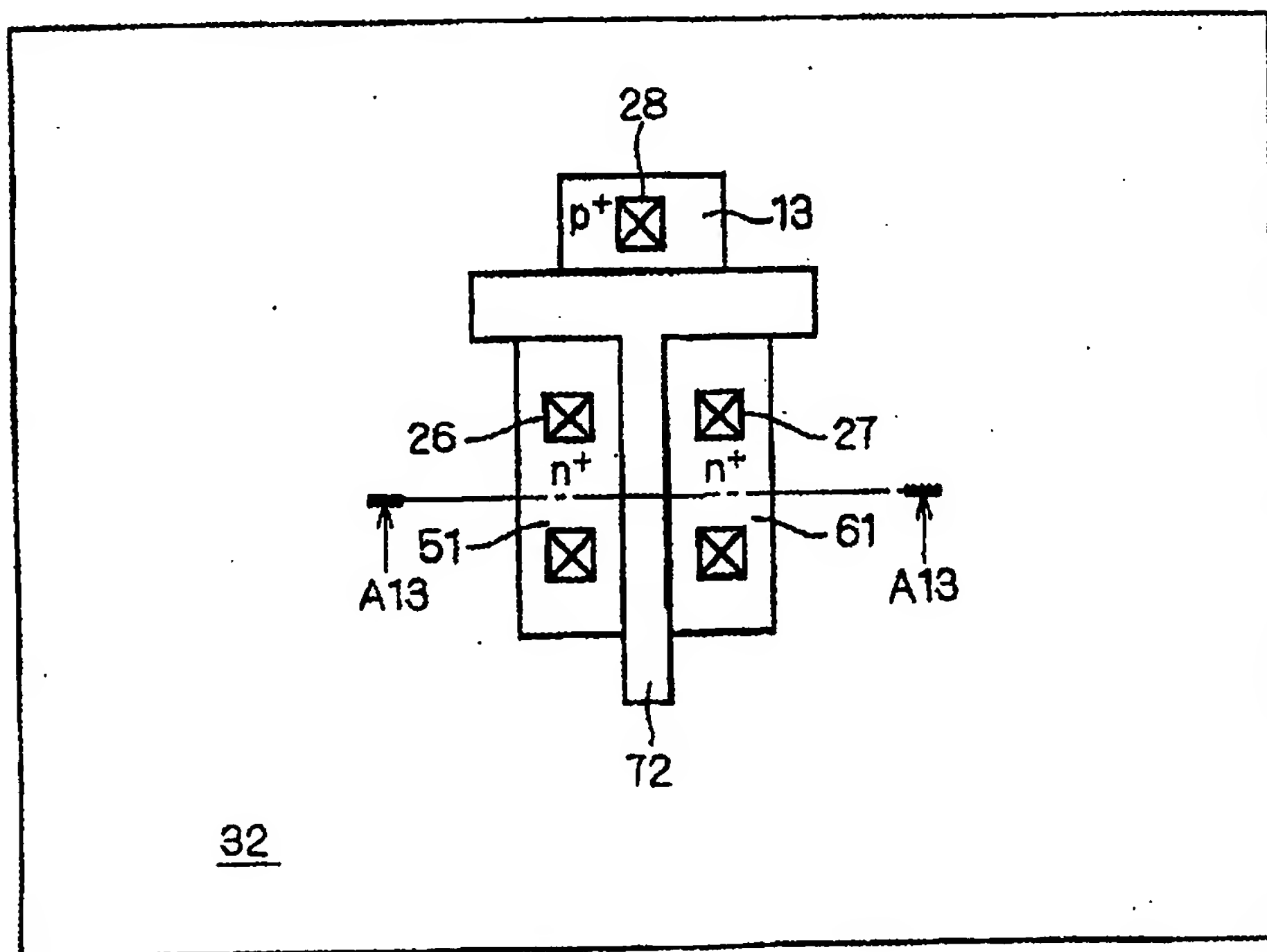


图 20

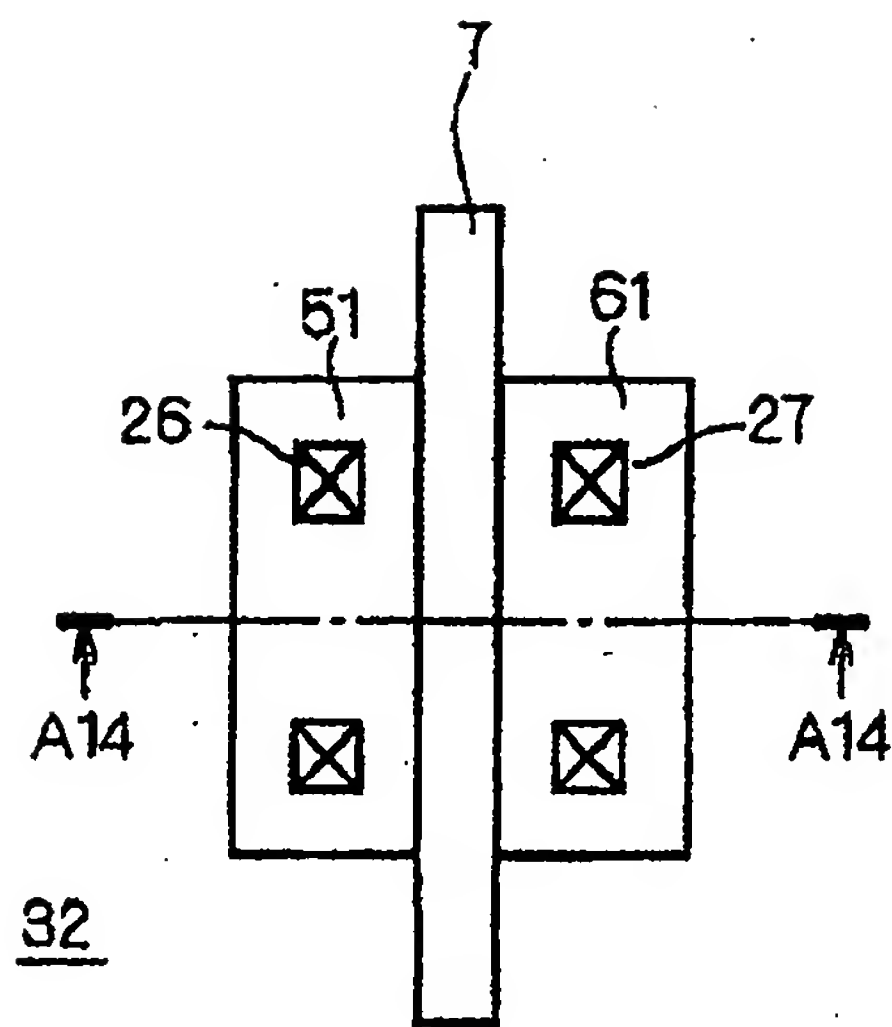


图 21

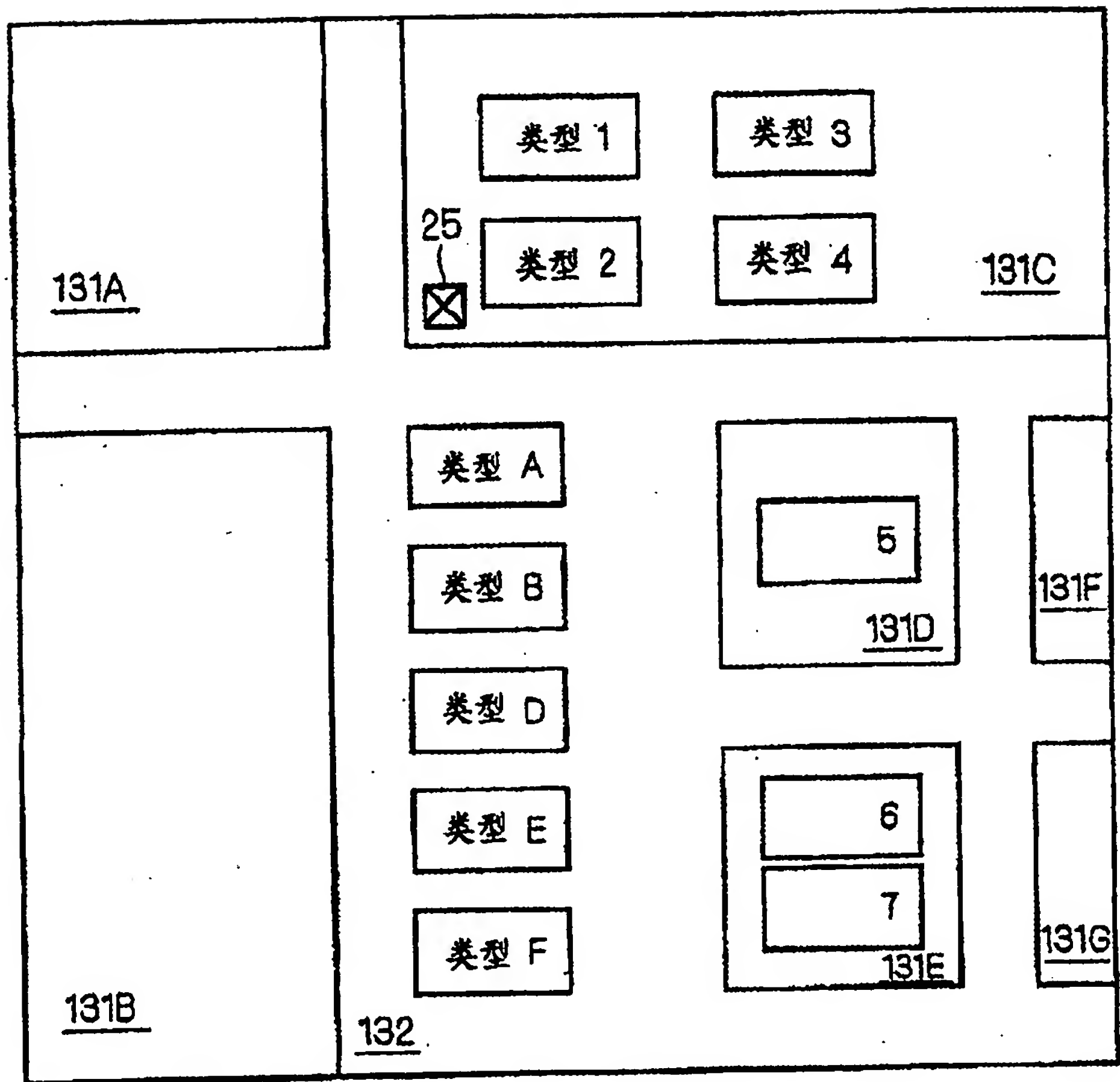


图 22

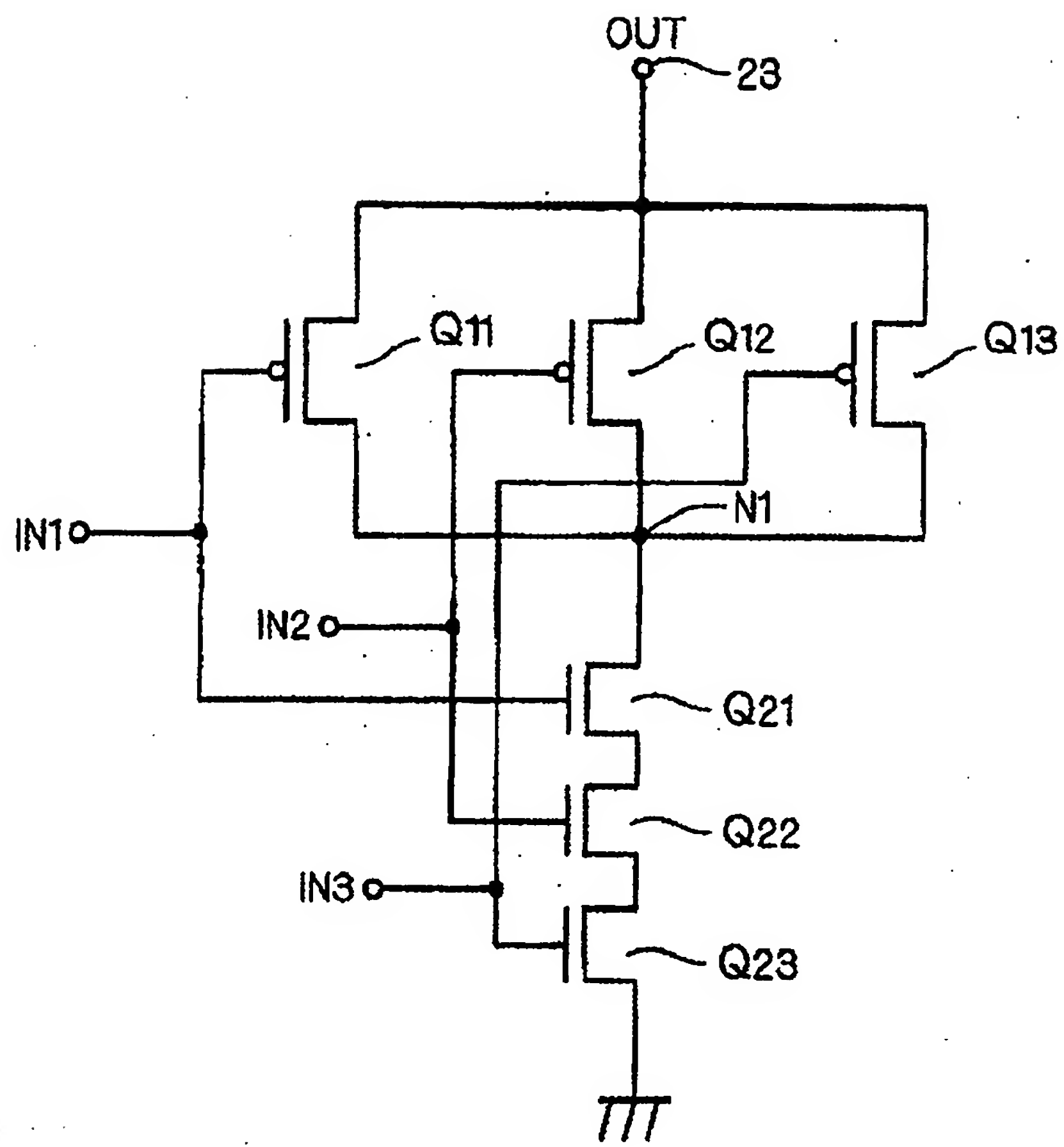


图 23



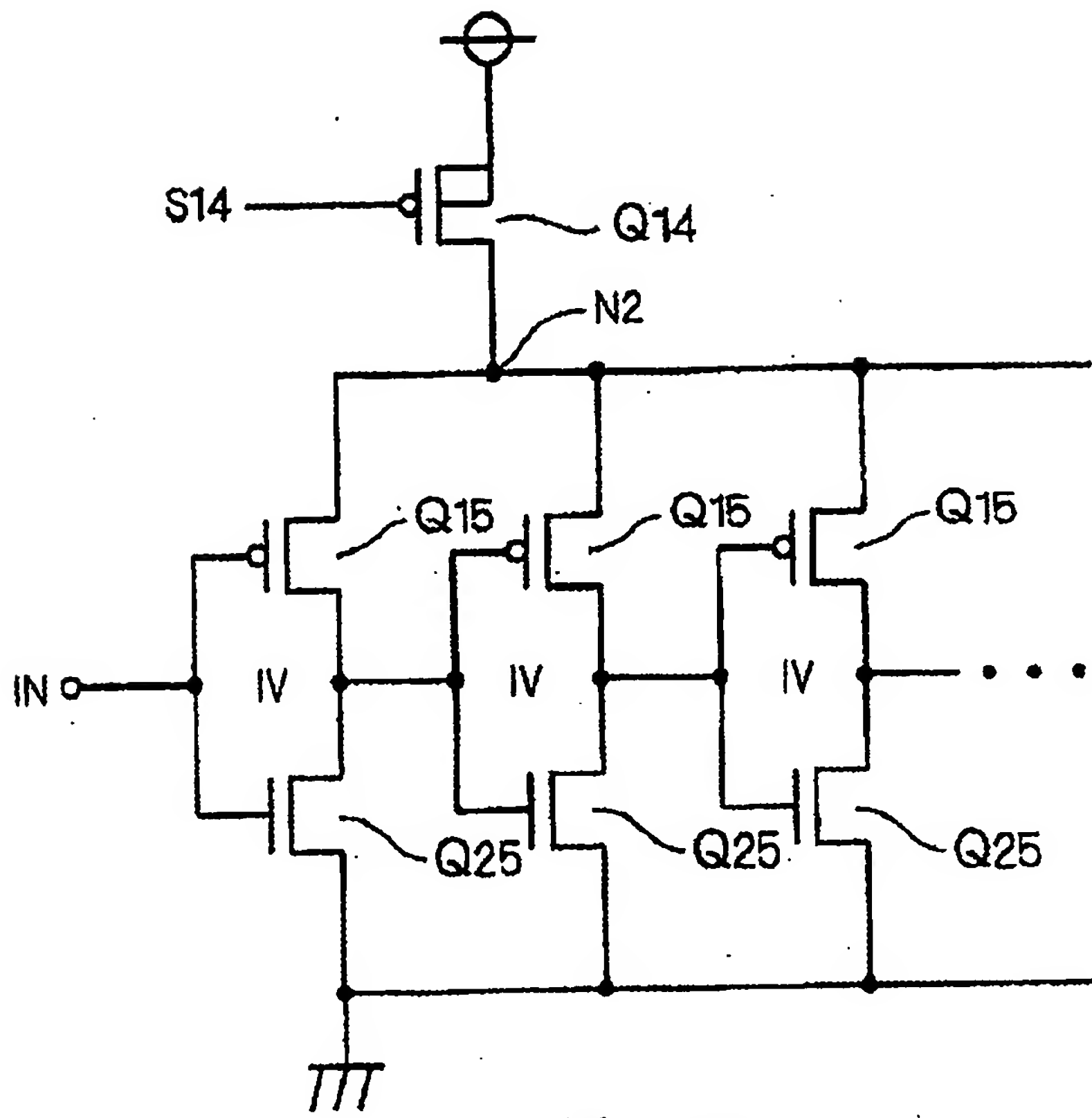


图 24

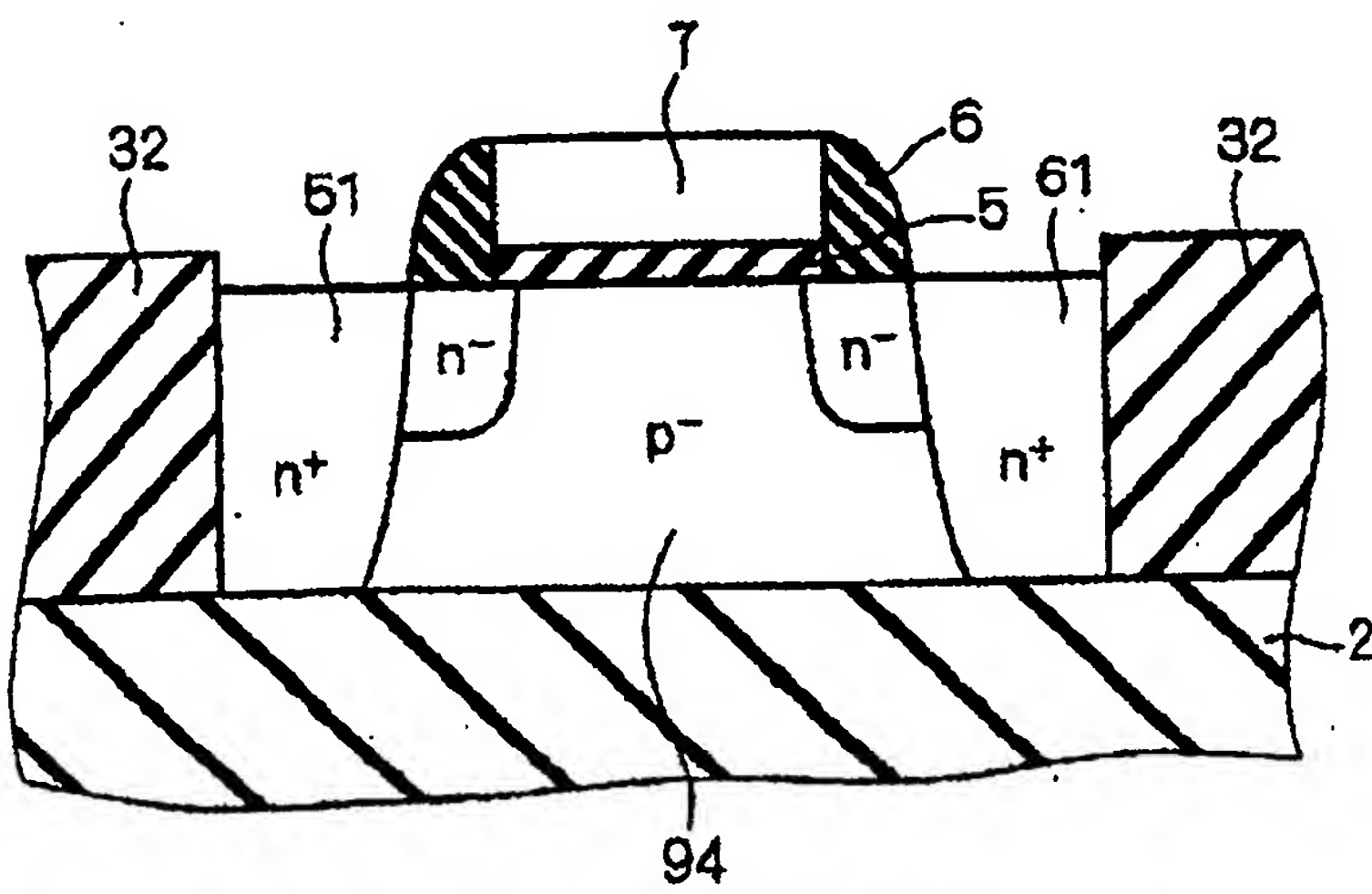


图 25

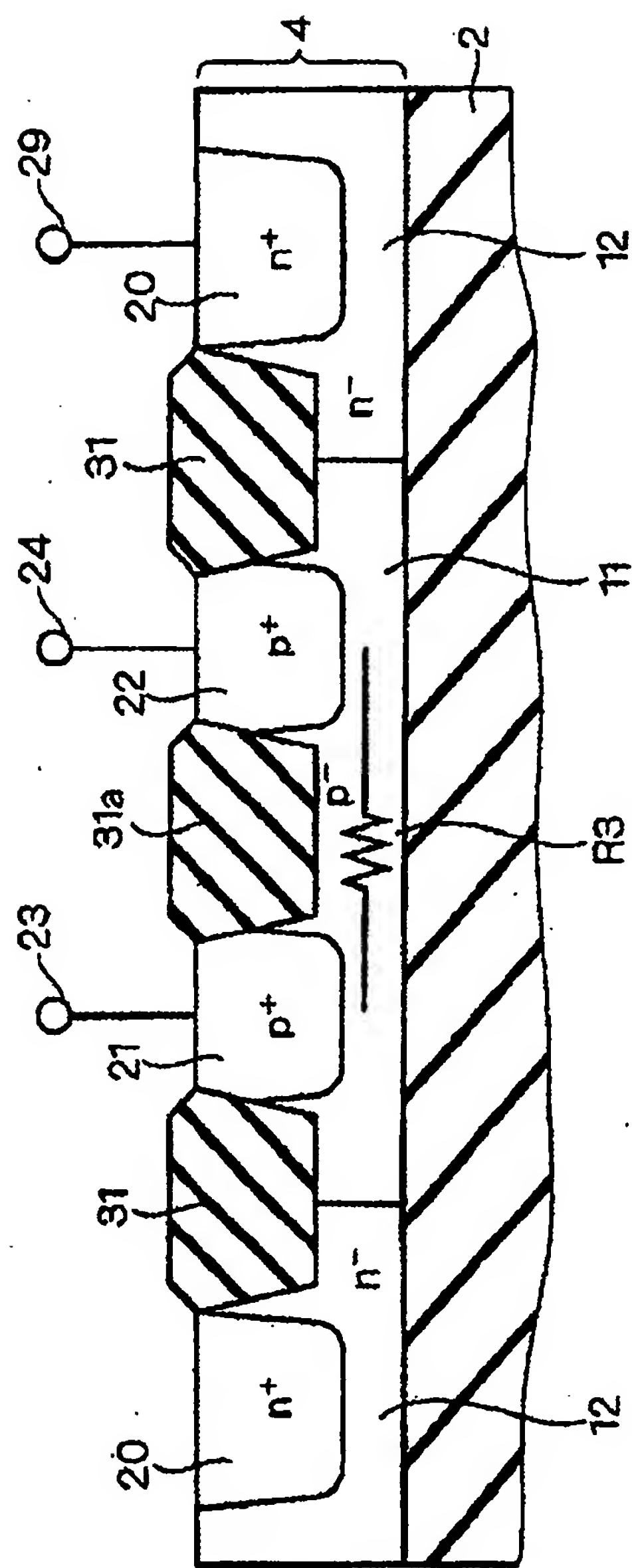


图 26

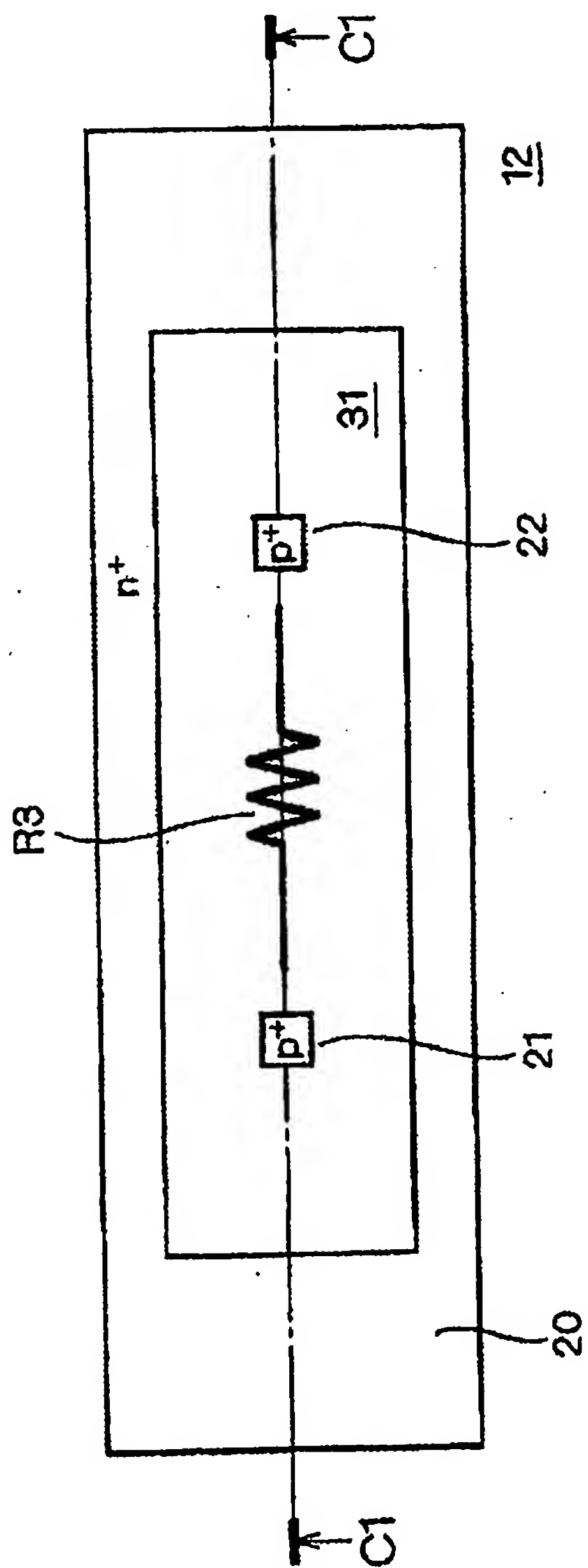


图 27

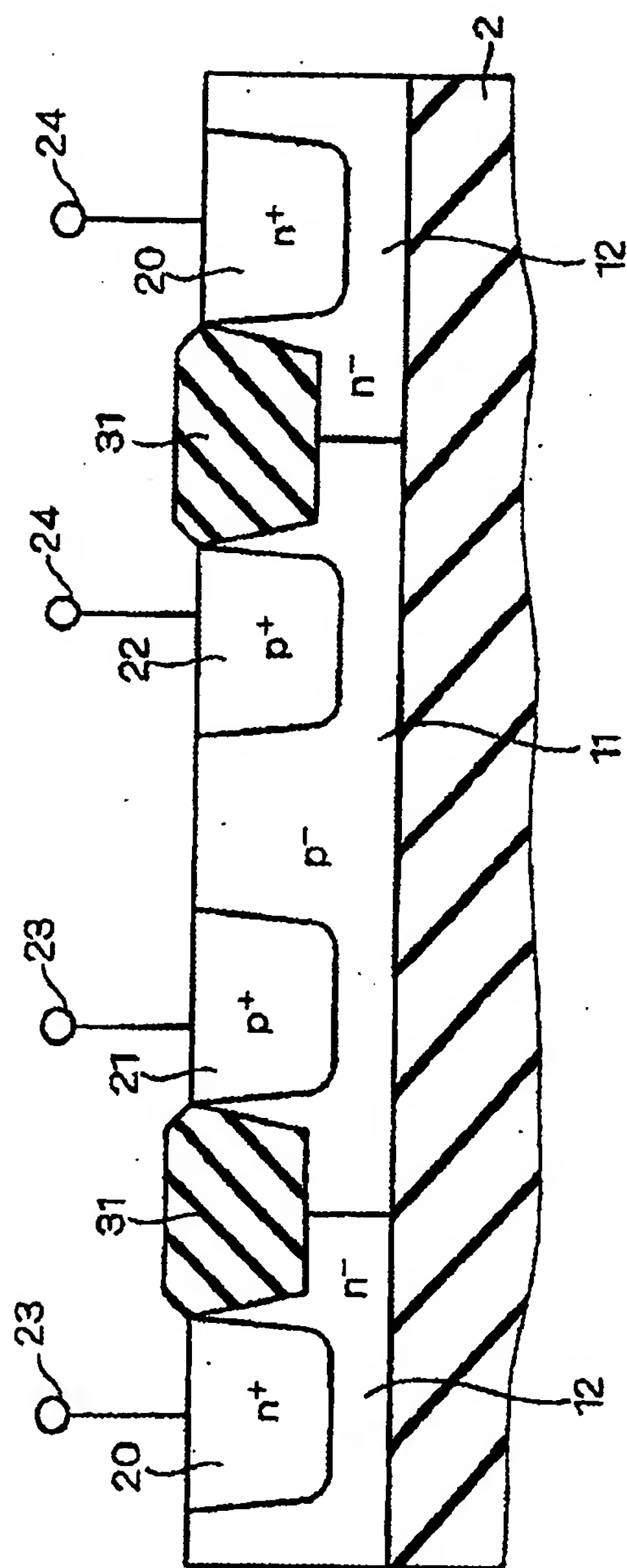


图 28



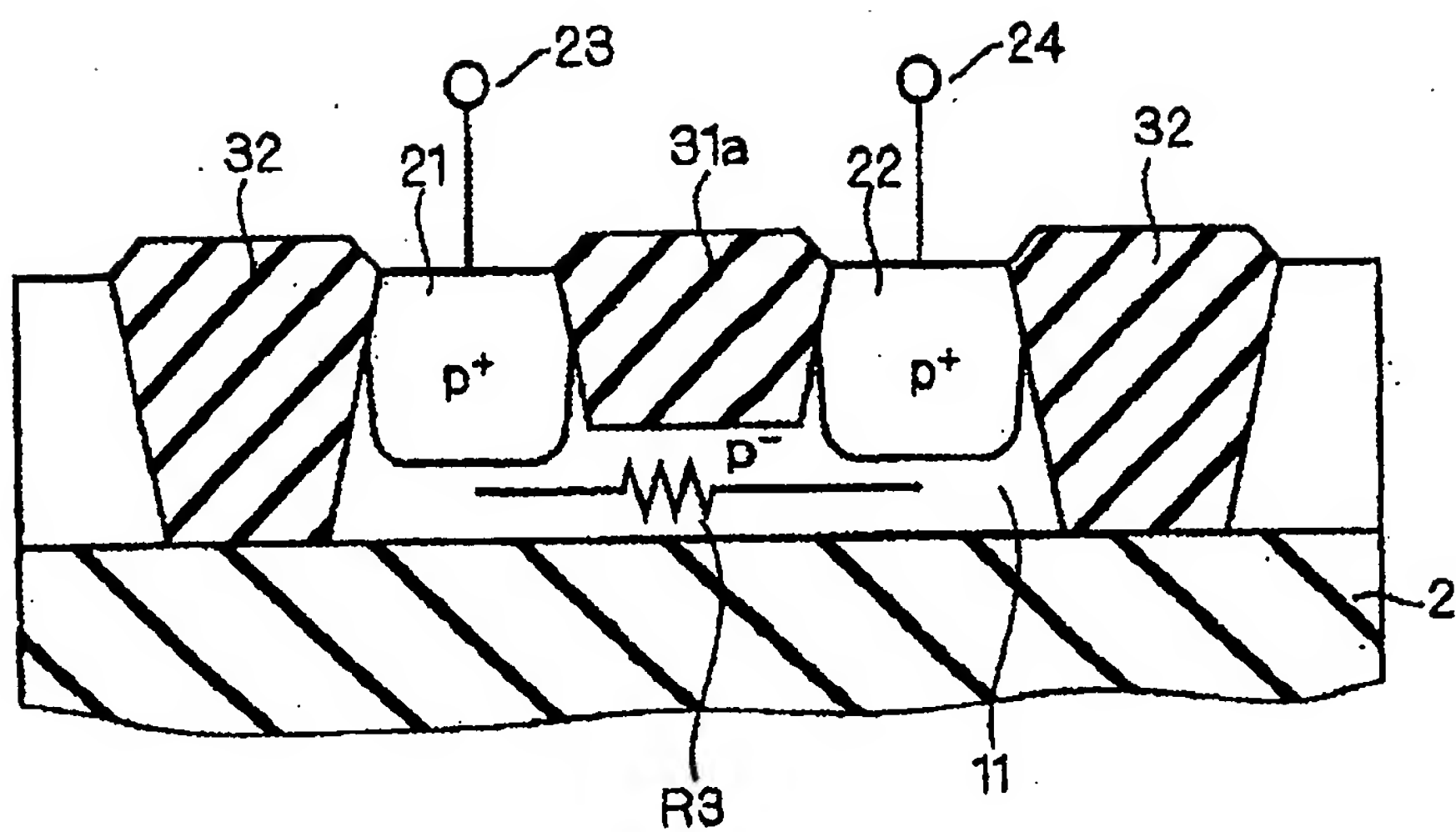


图 29

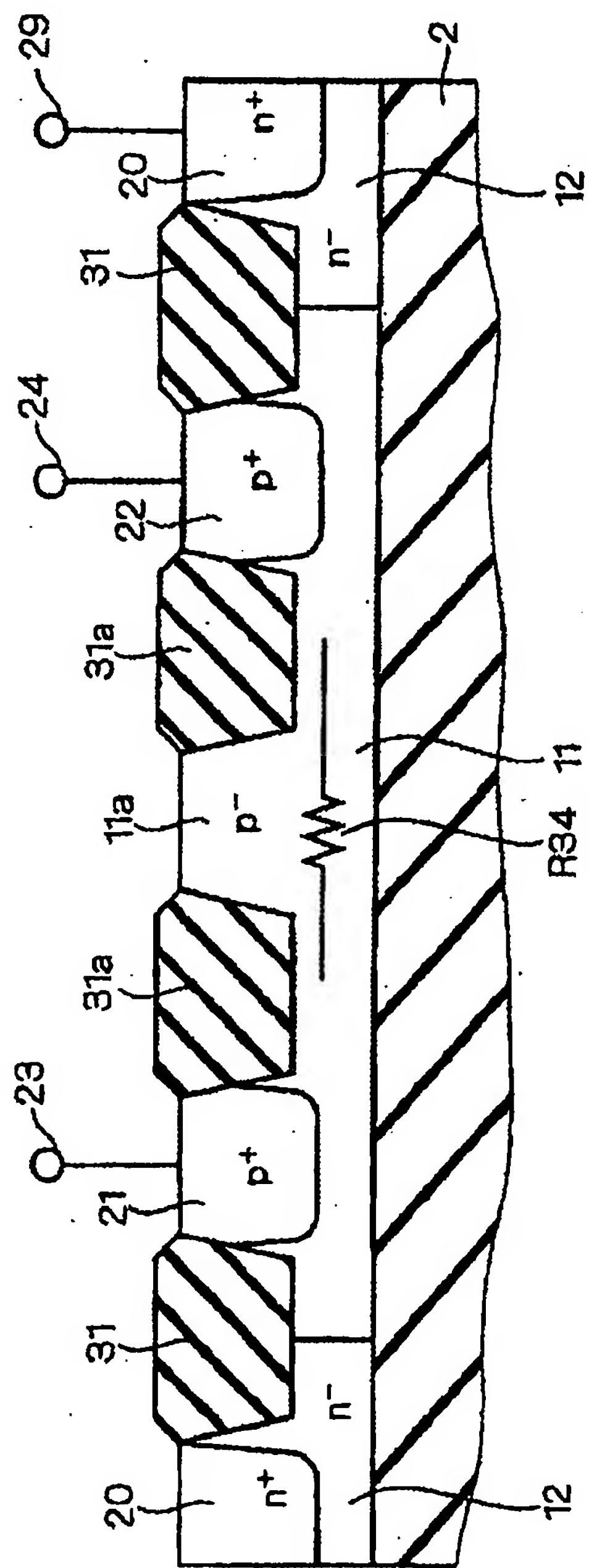


图 30

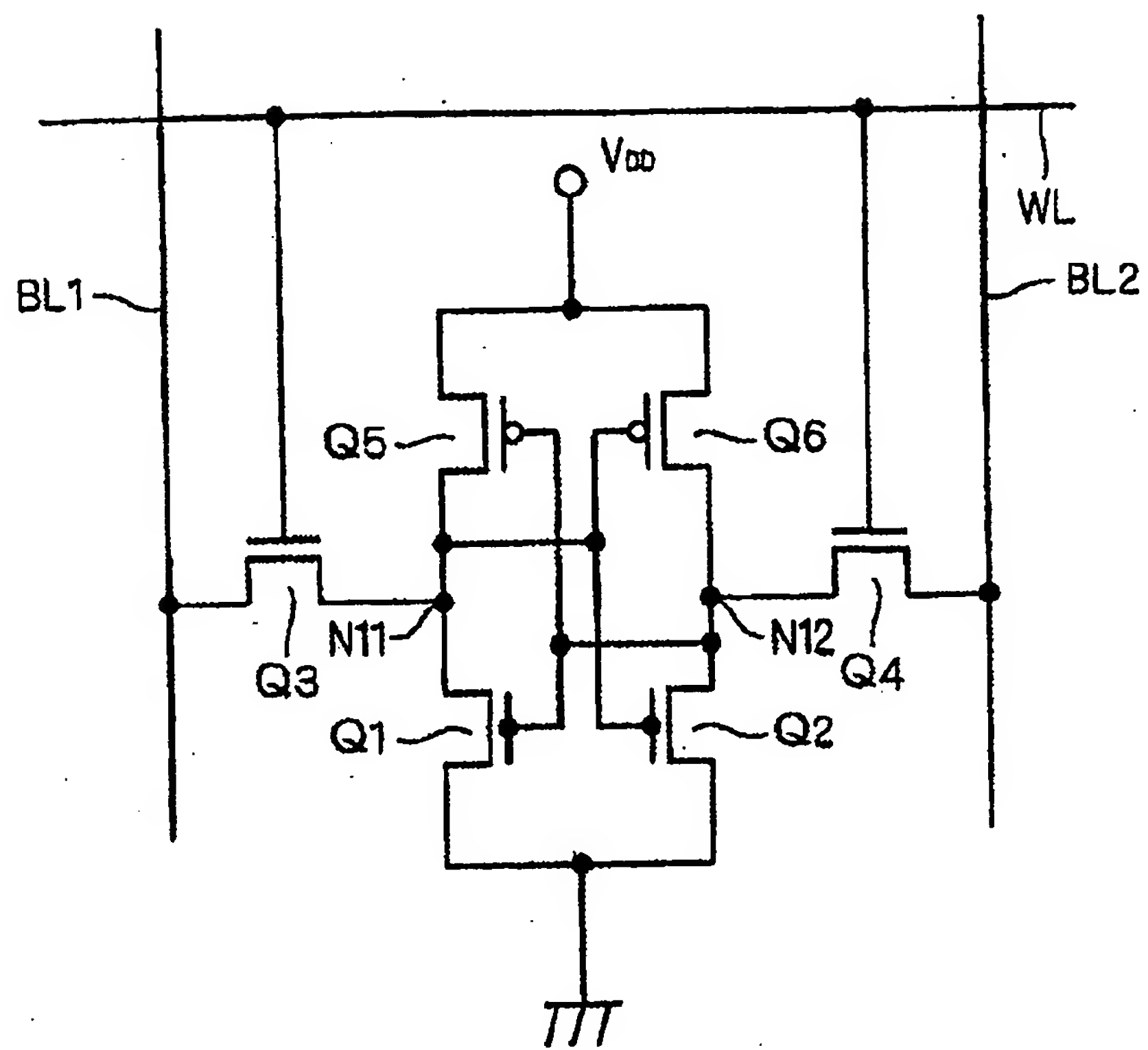


图 31

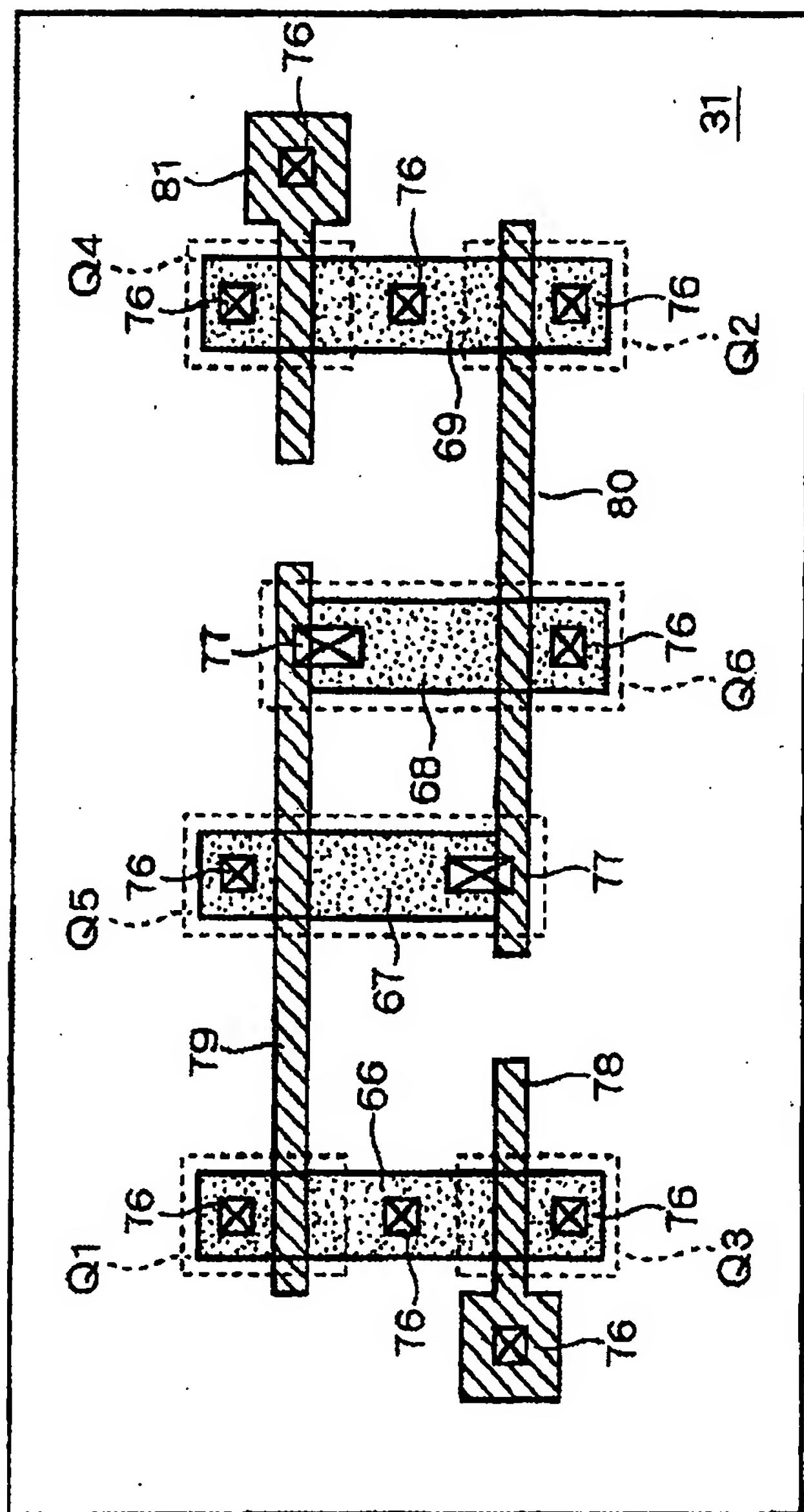


图 32







34



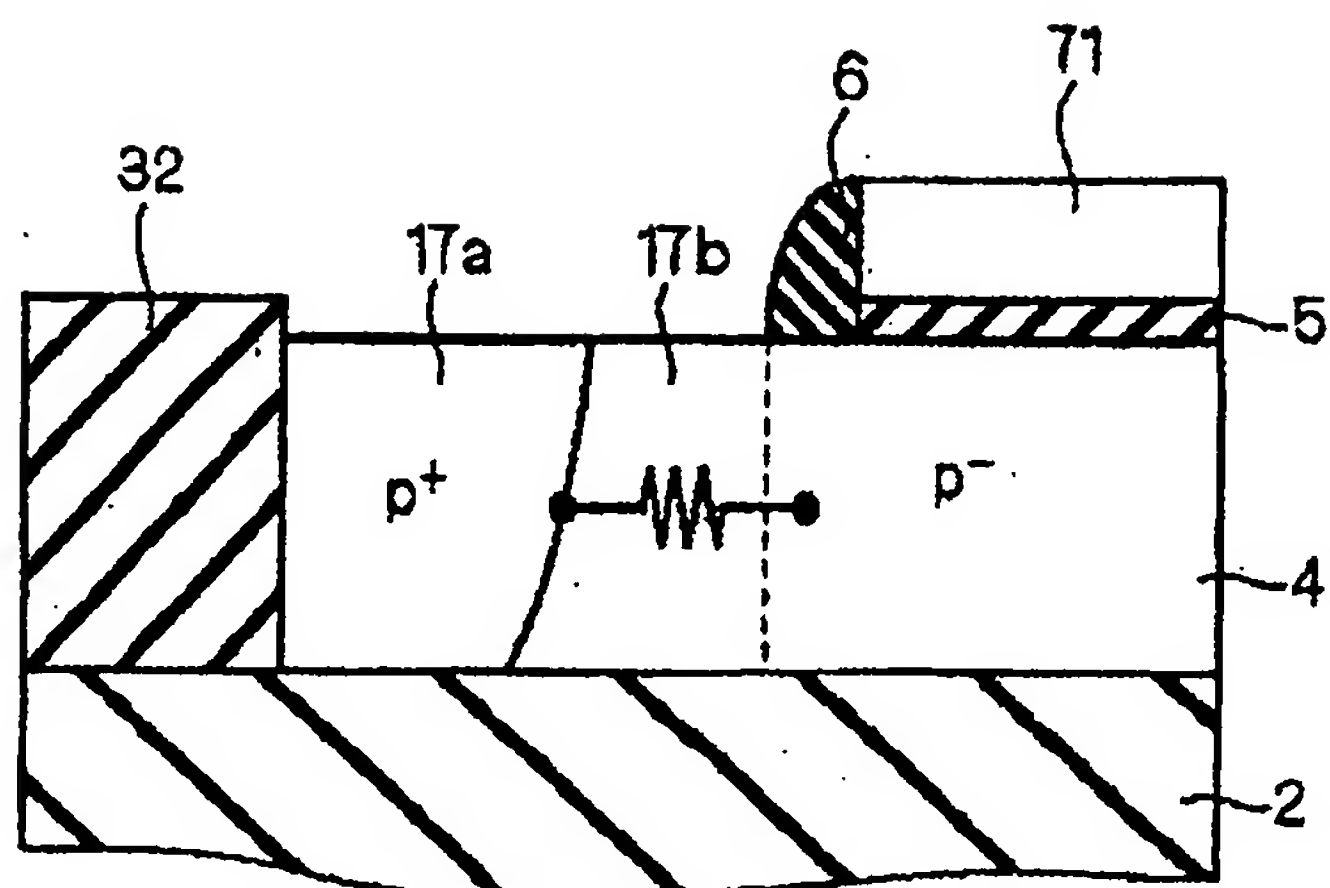


图 37

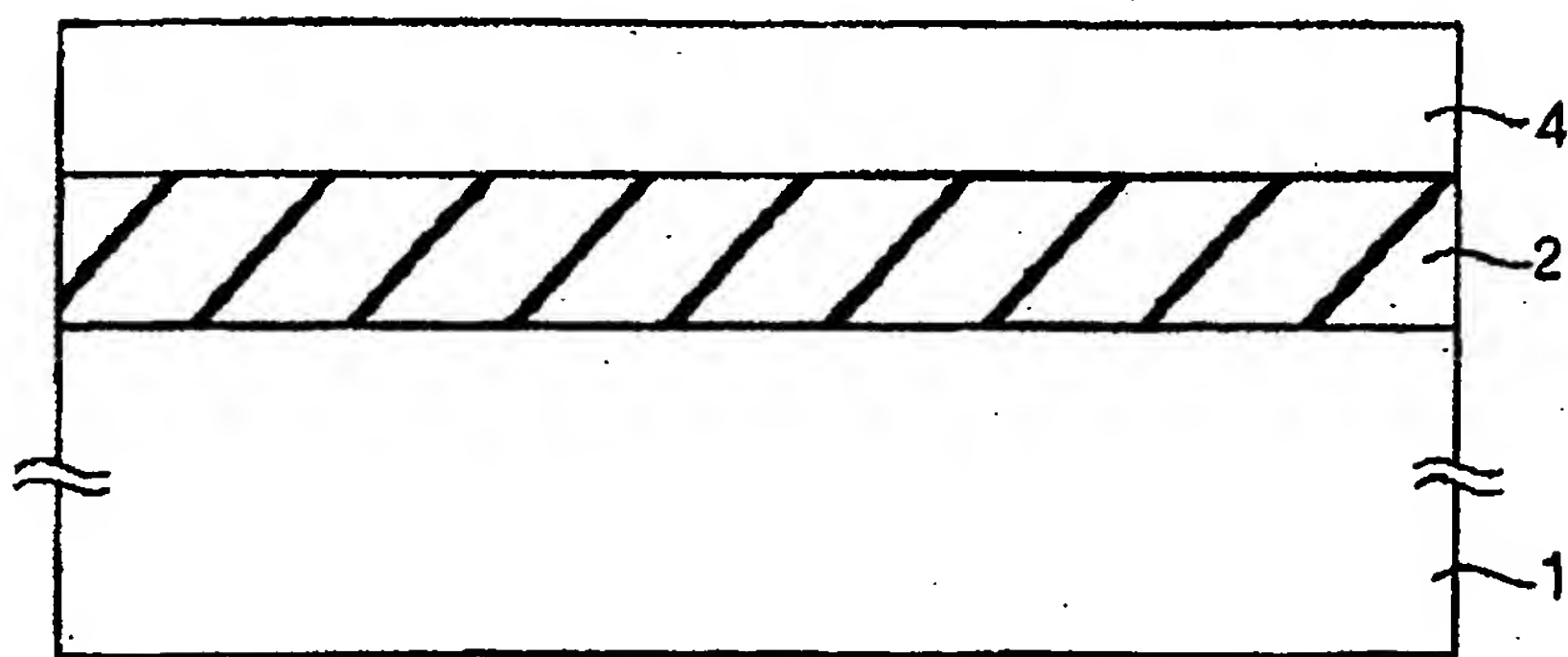


图 38

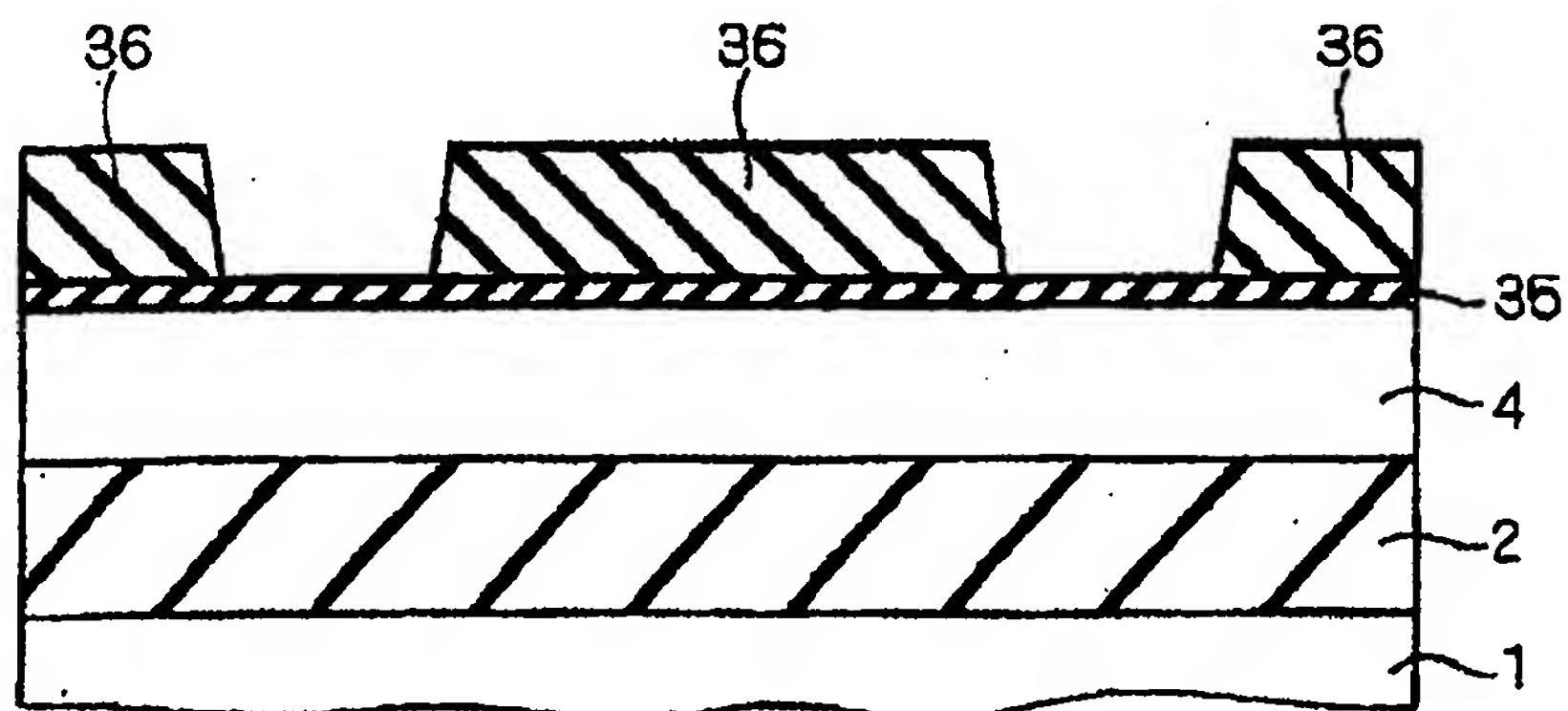


图 39



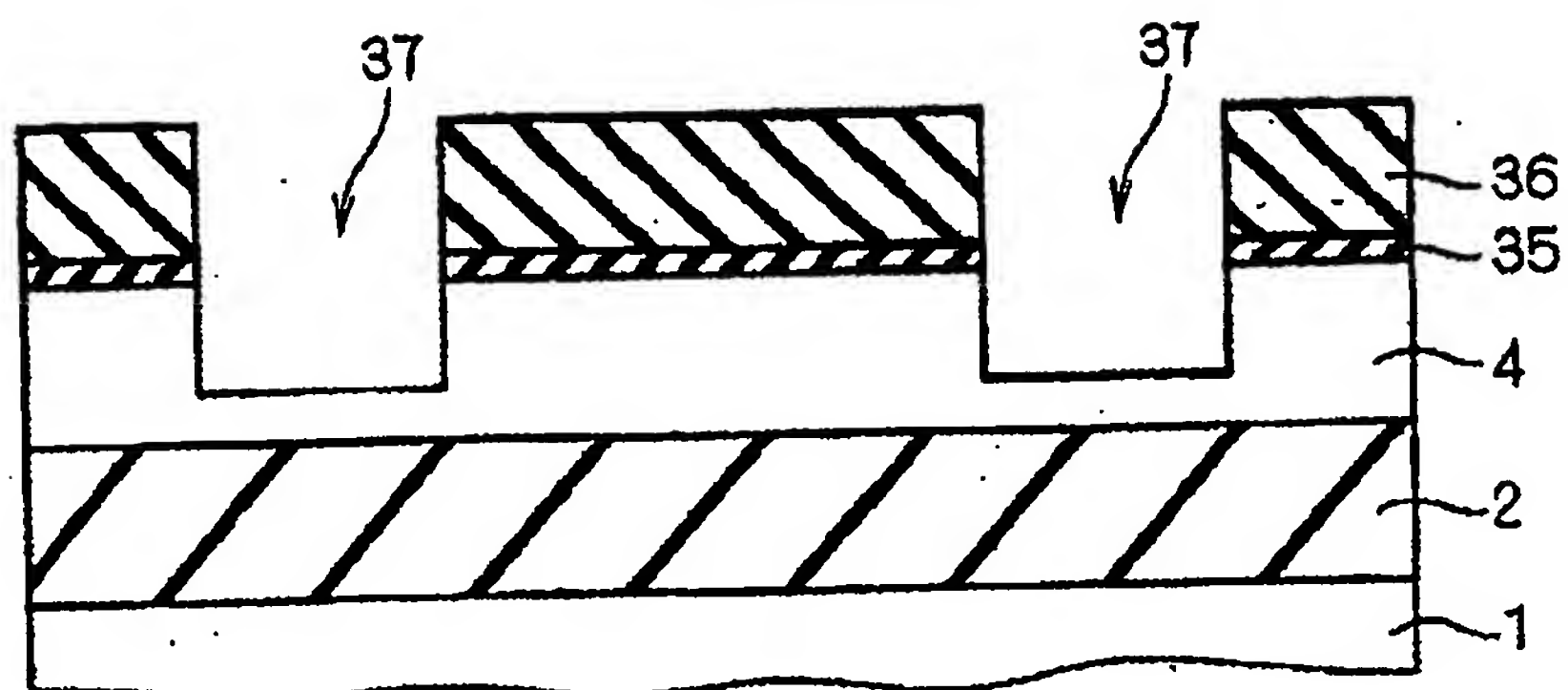


图 40

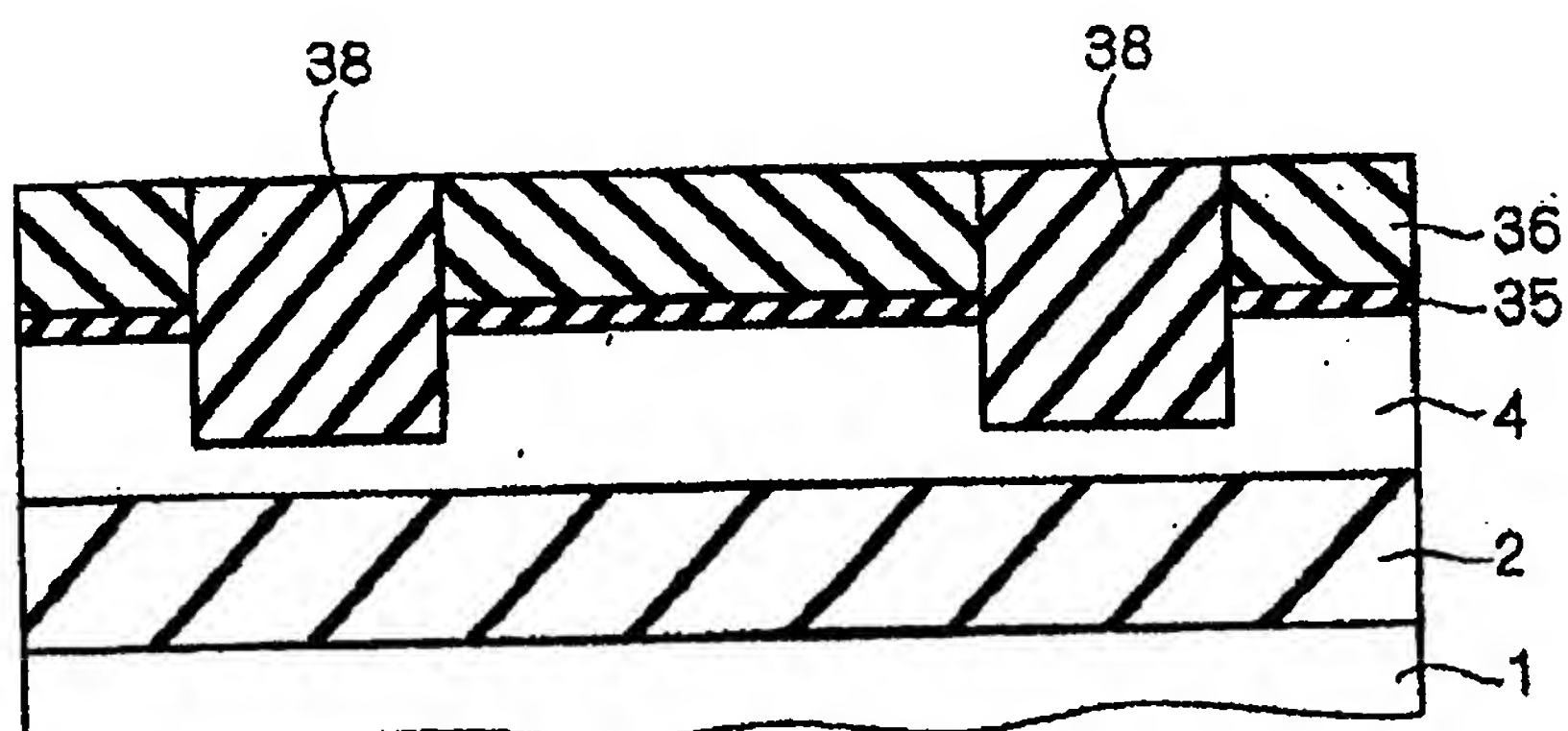


图 41

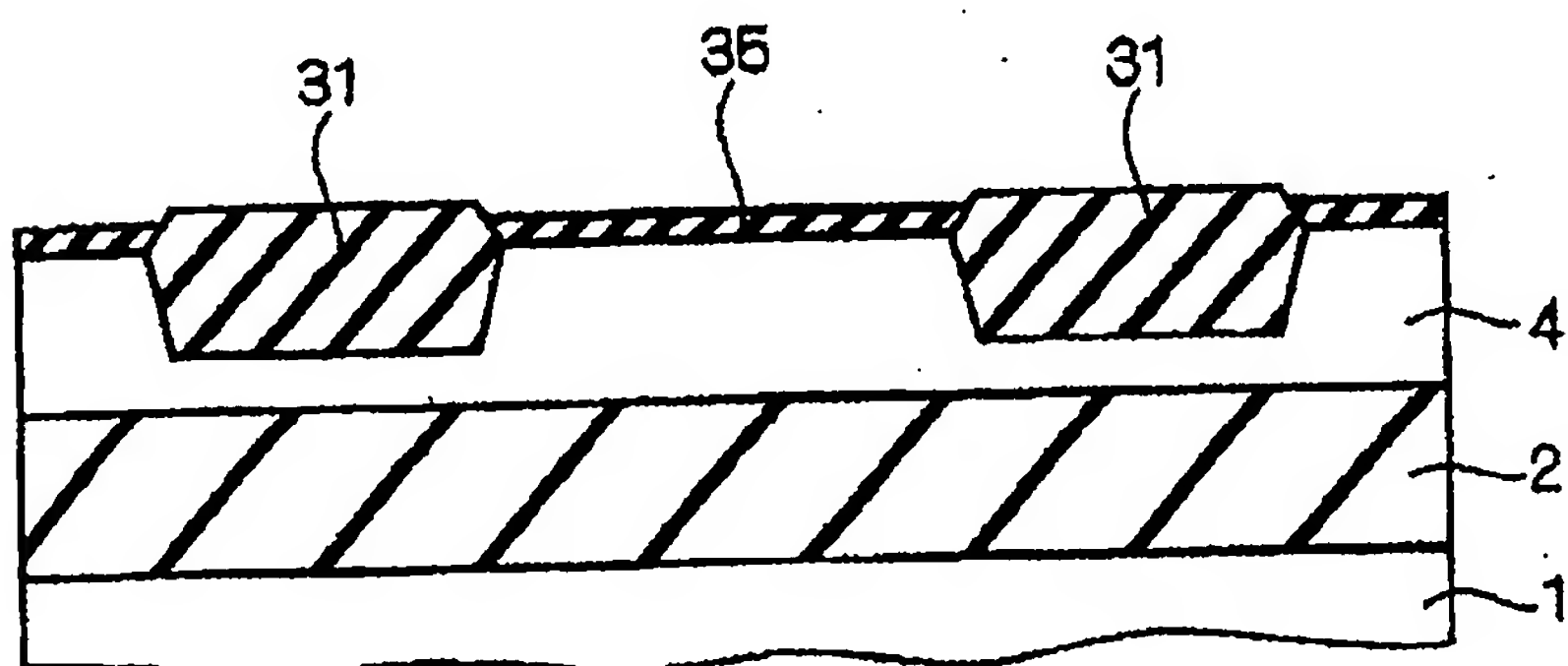


图 42

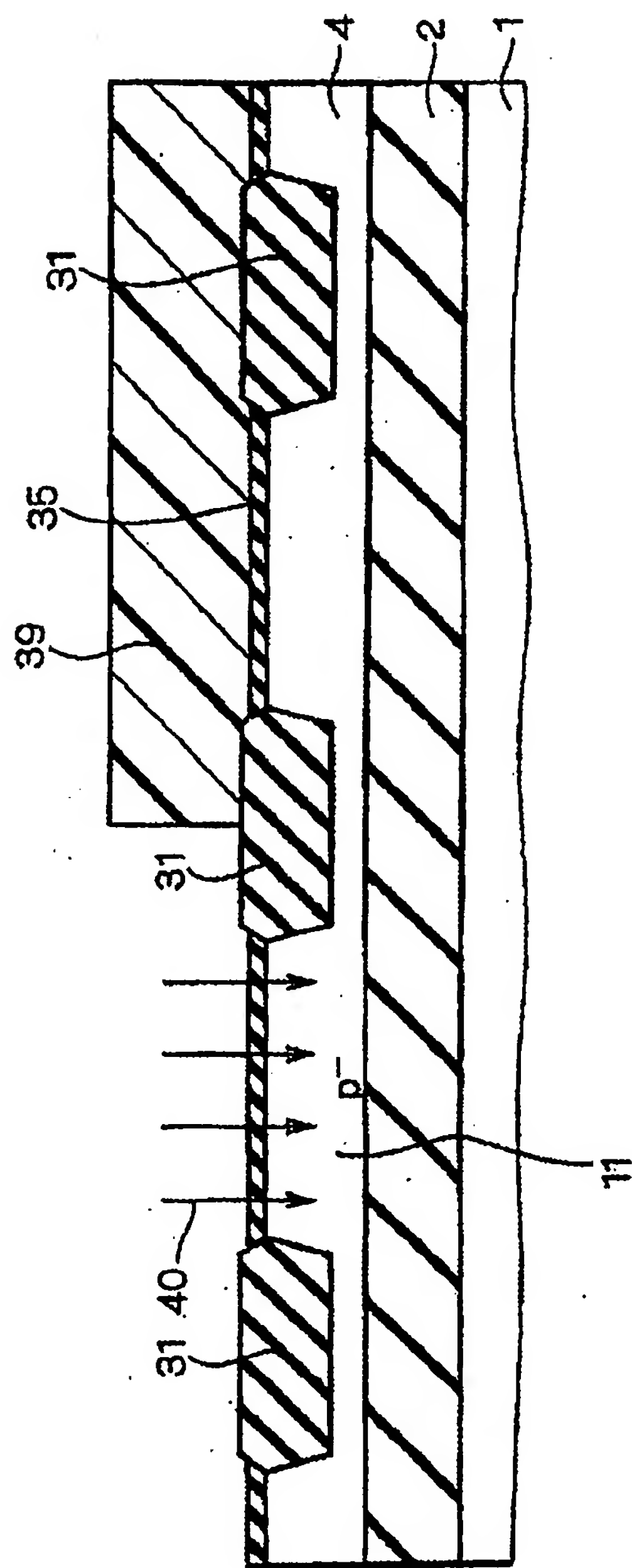


图 43

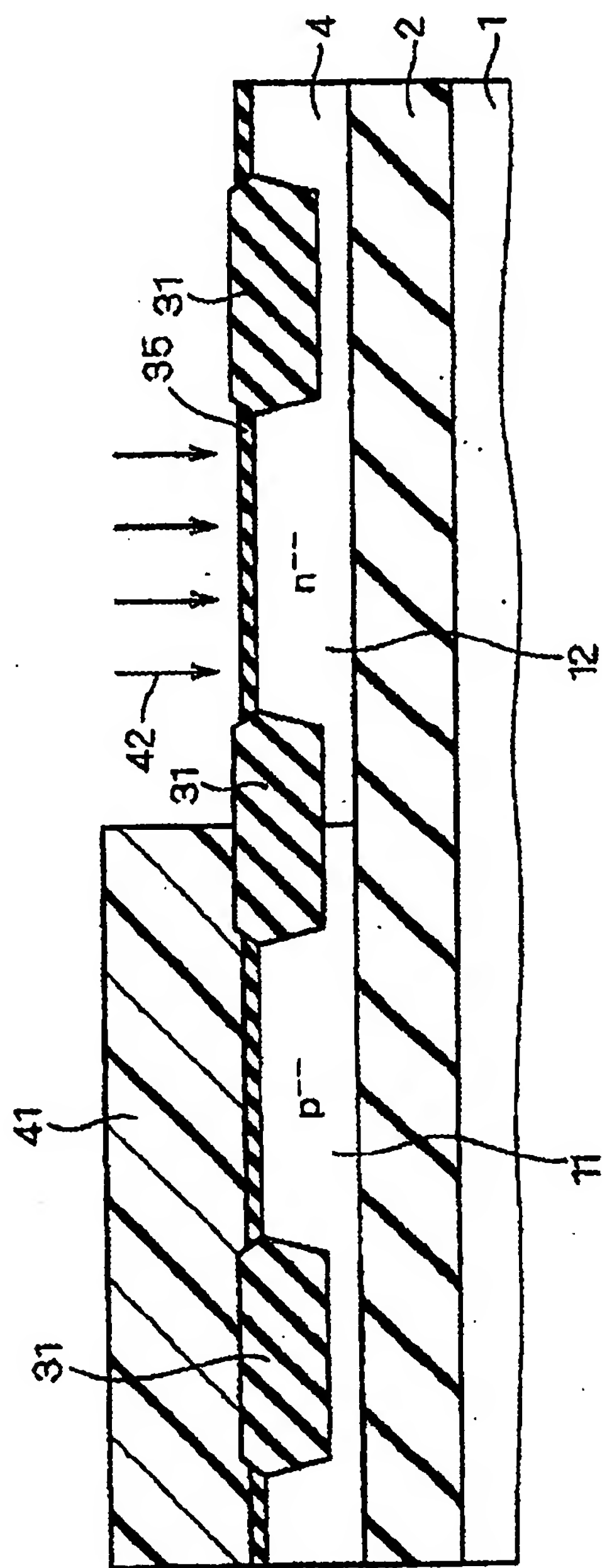


图 44

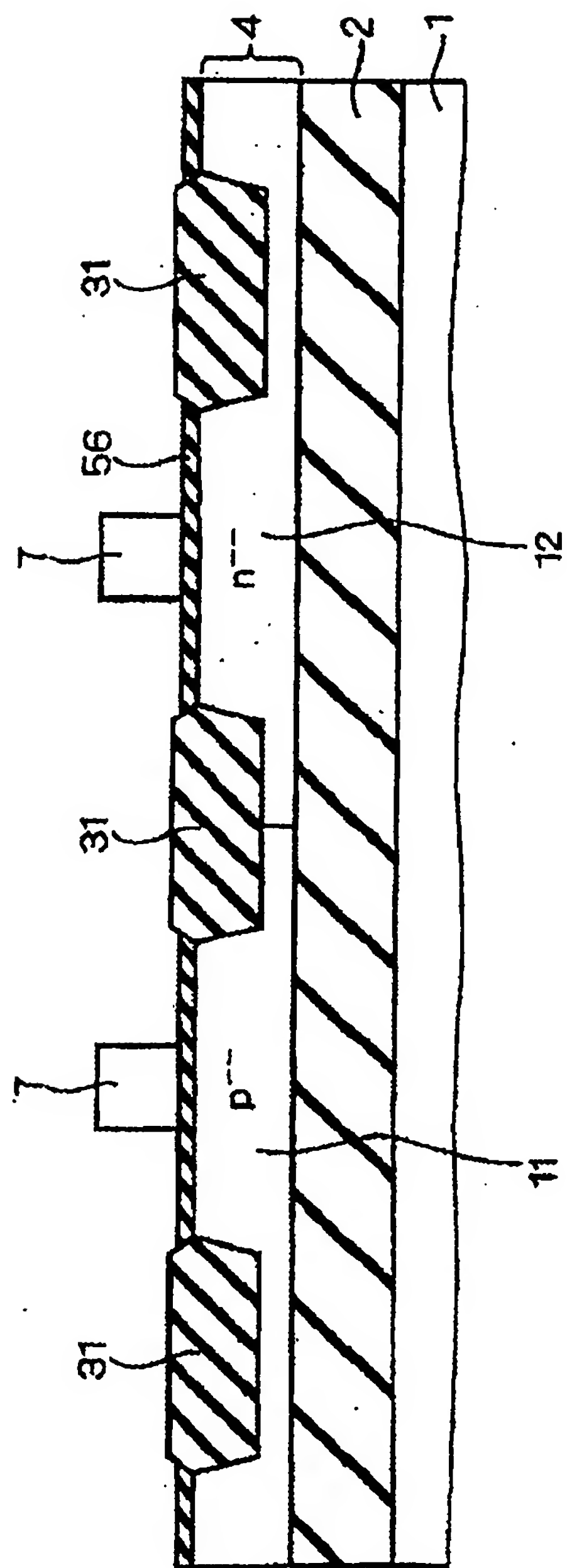


图 45

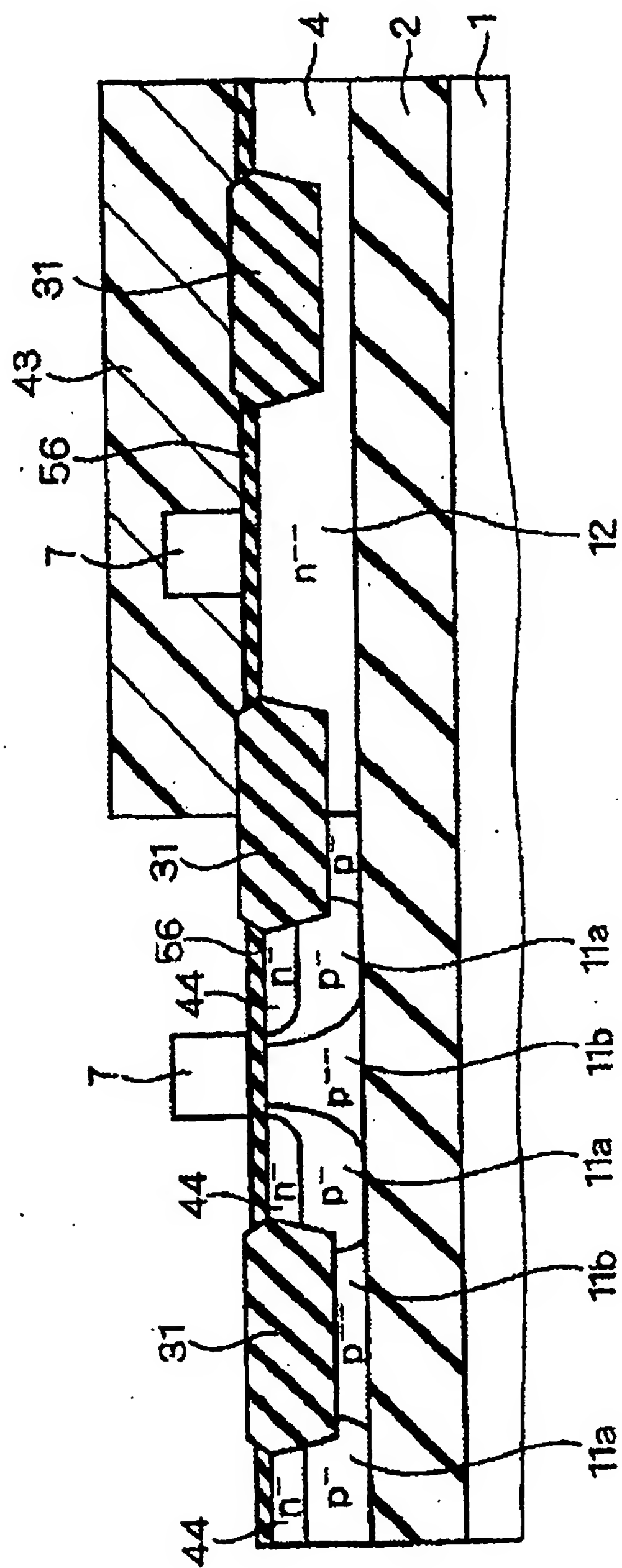


图 46



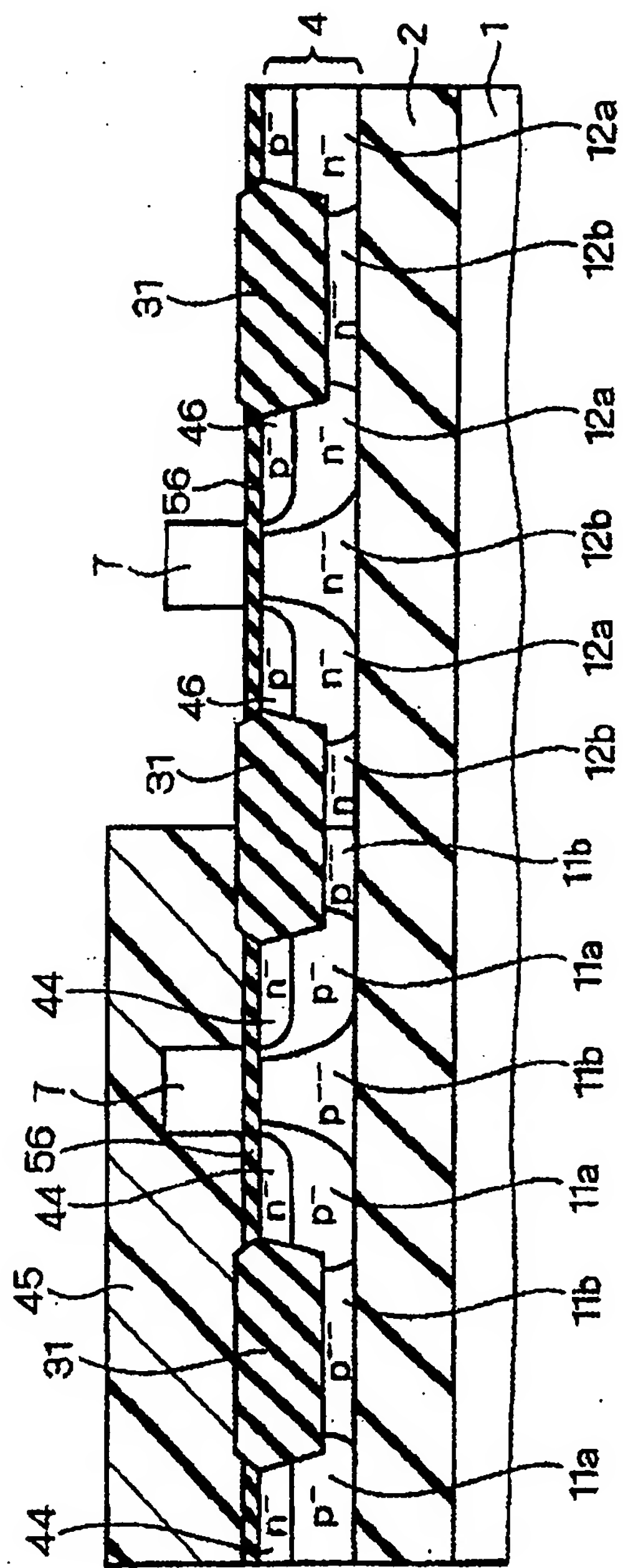


图 47

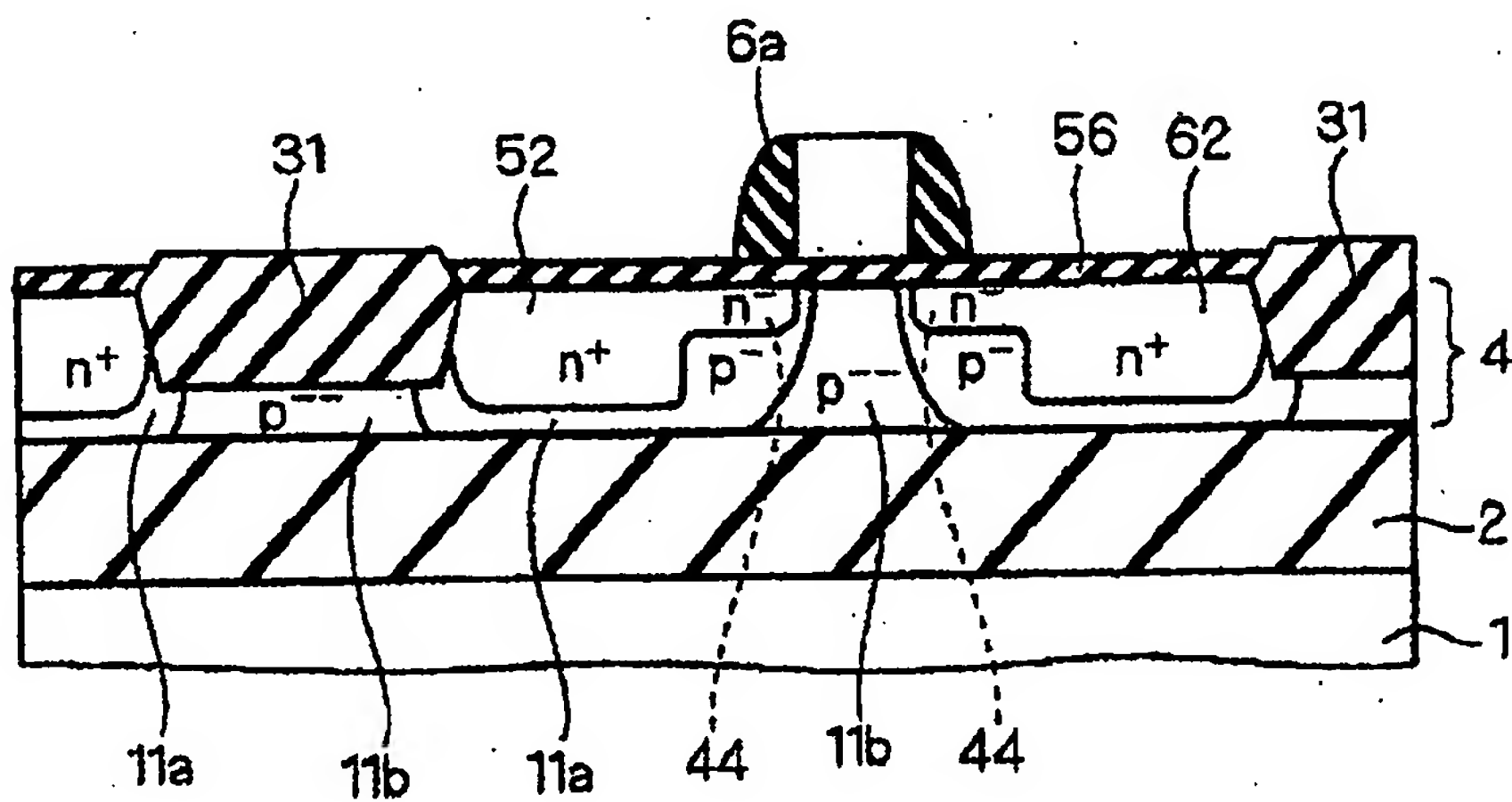


图 48

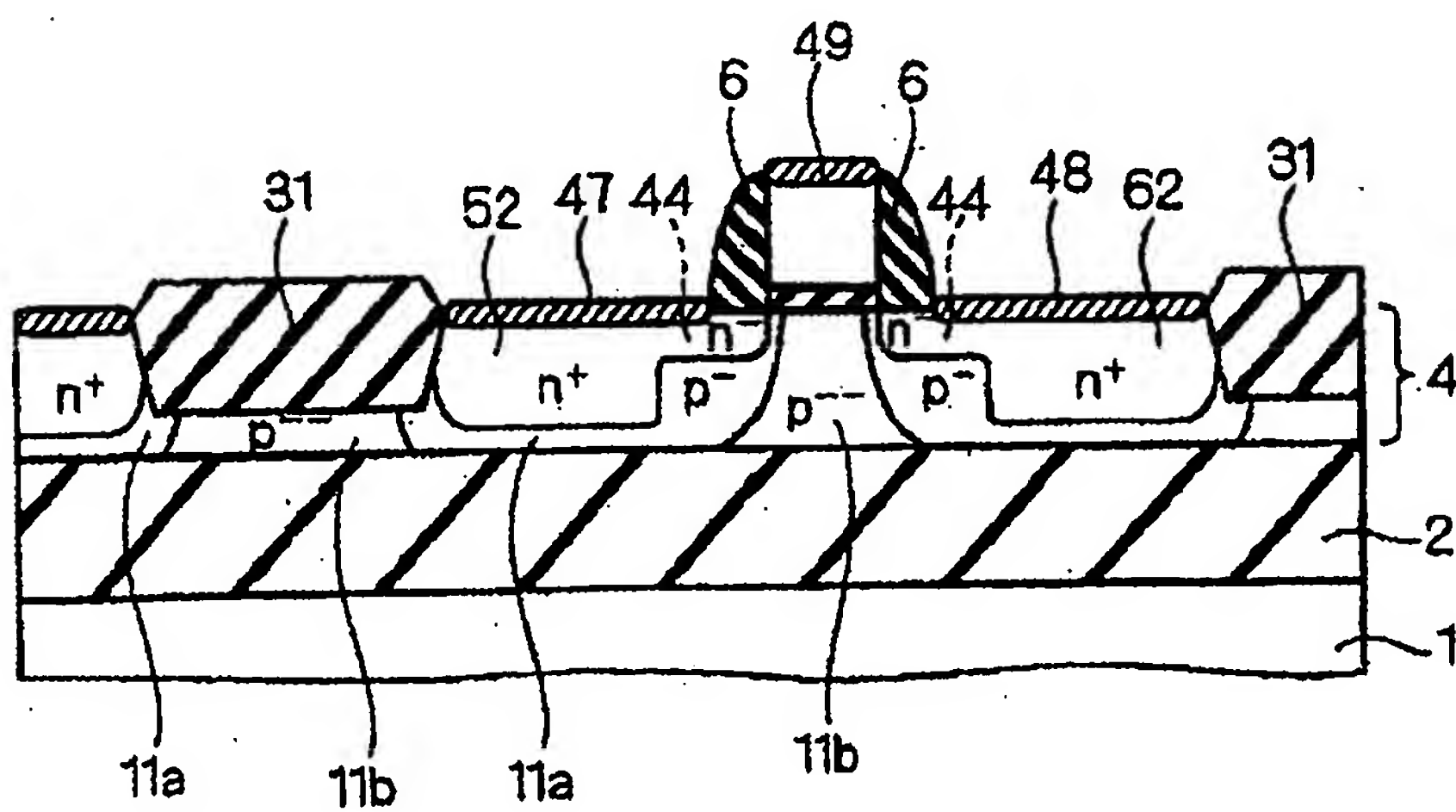


图 49

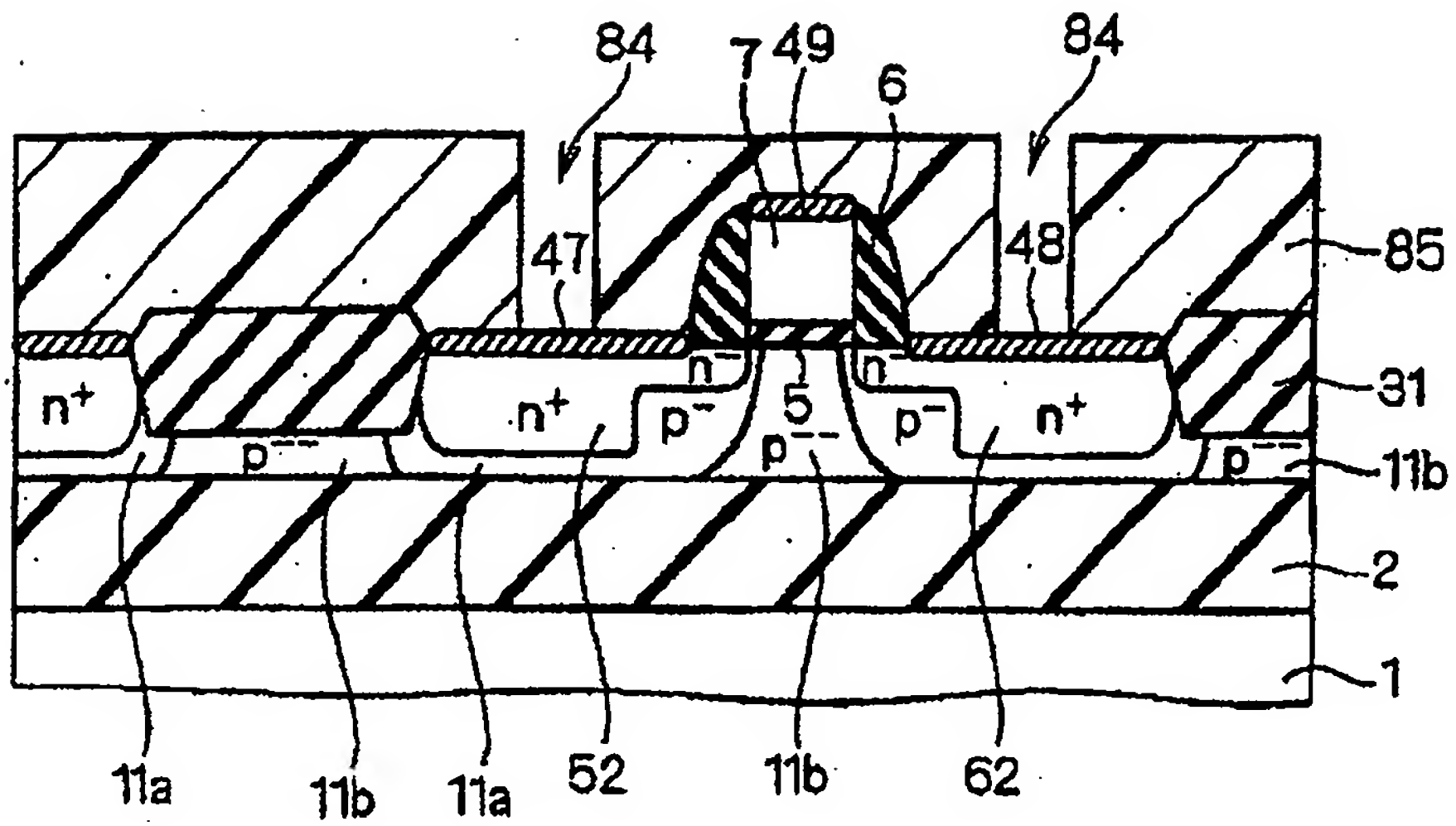


图 50

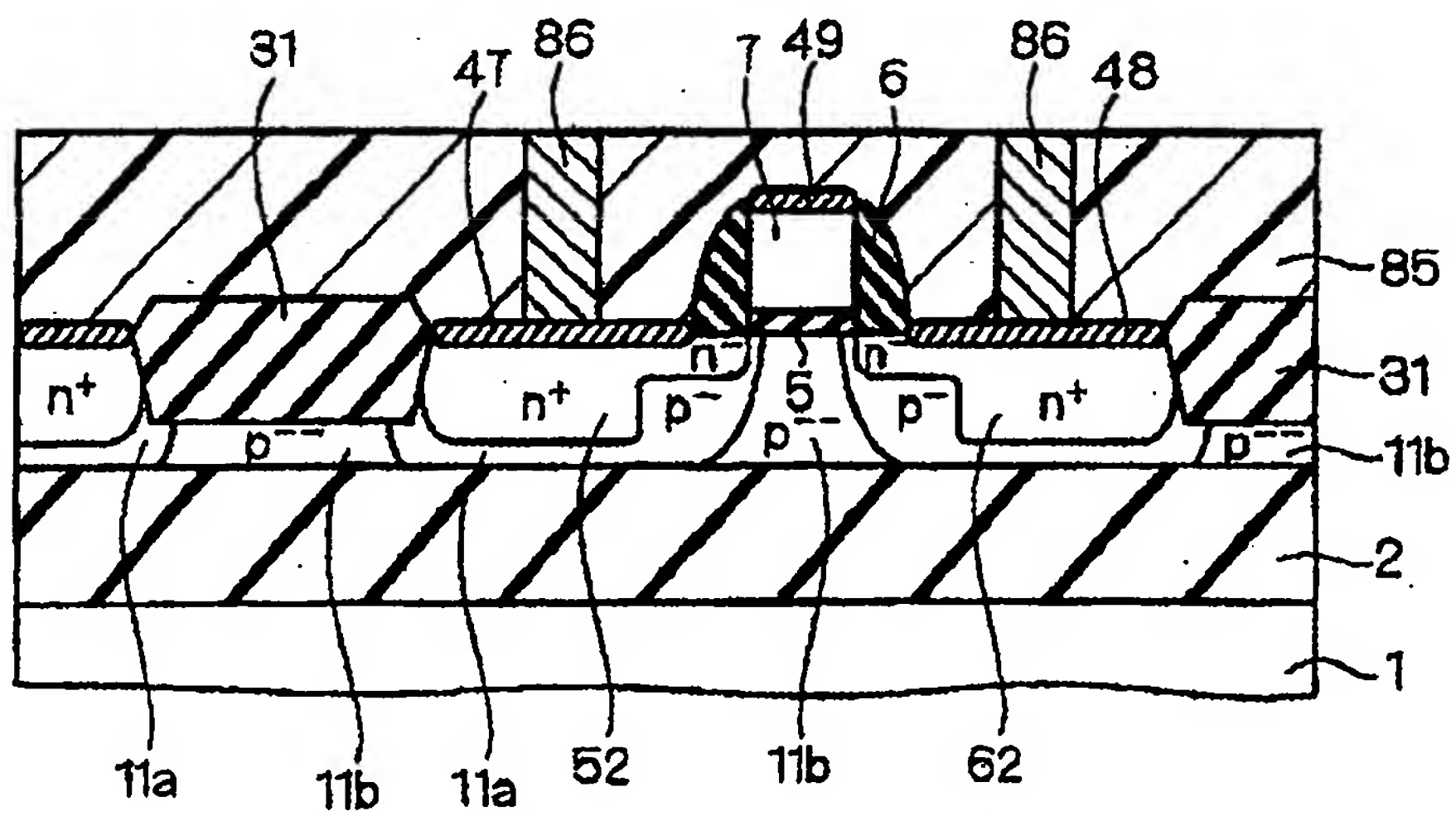


图 51

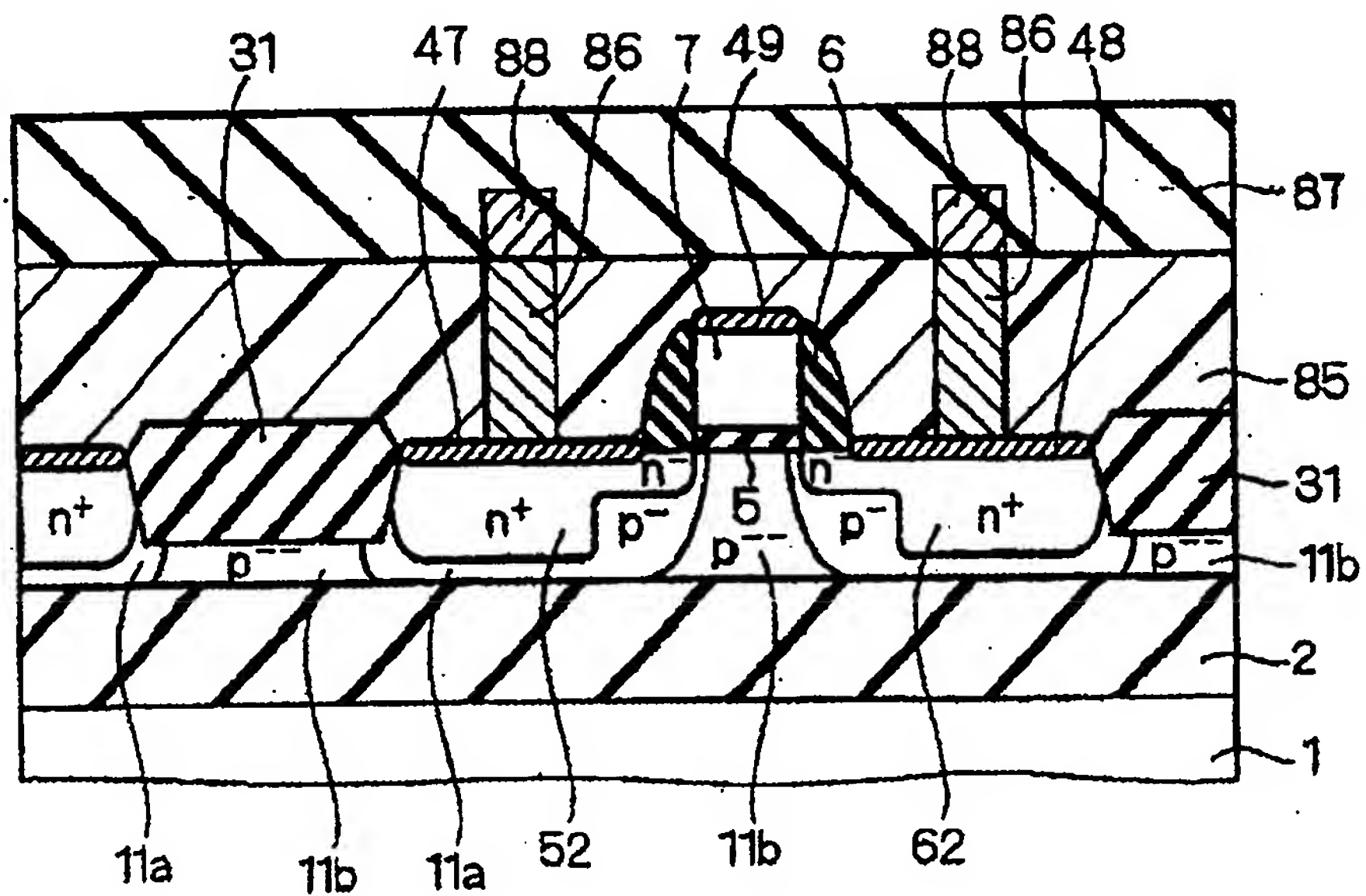


图 52

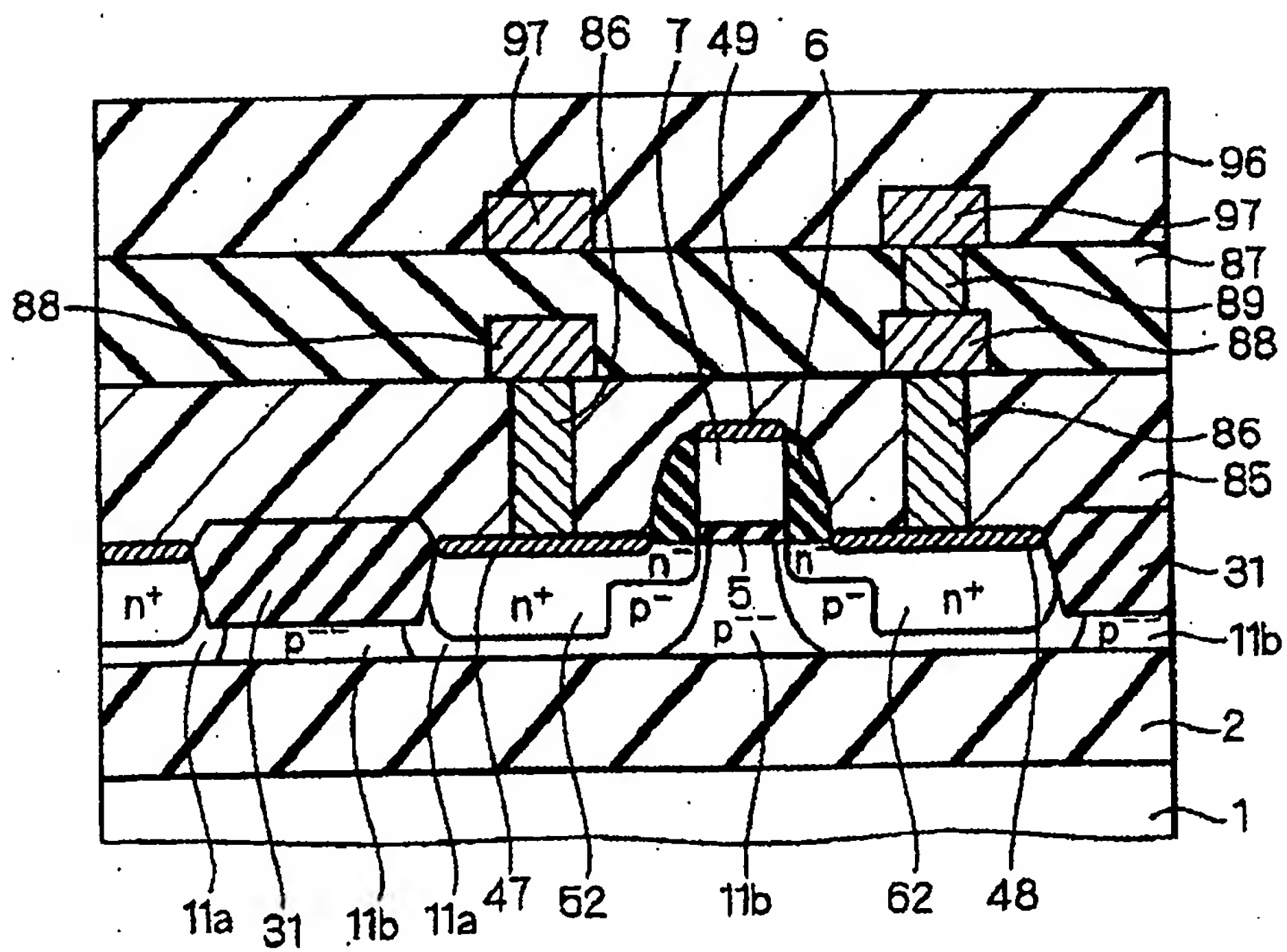


图 53

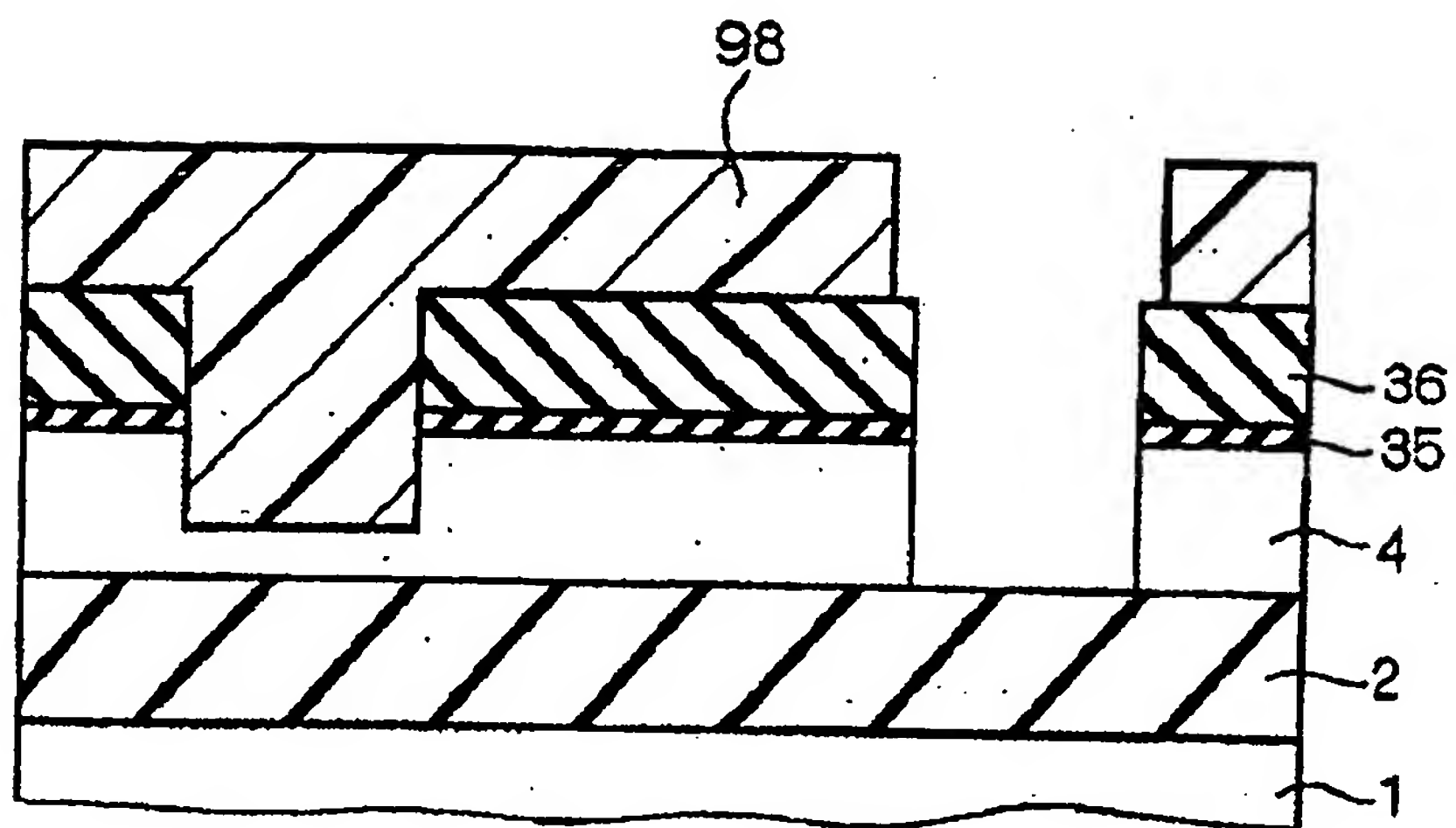


图 54

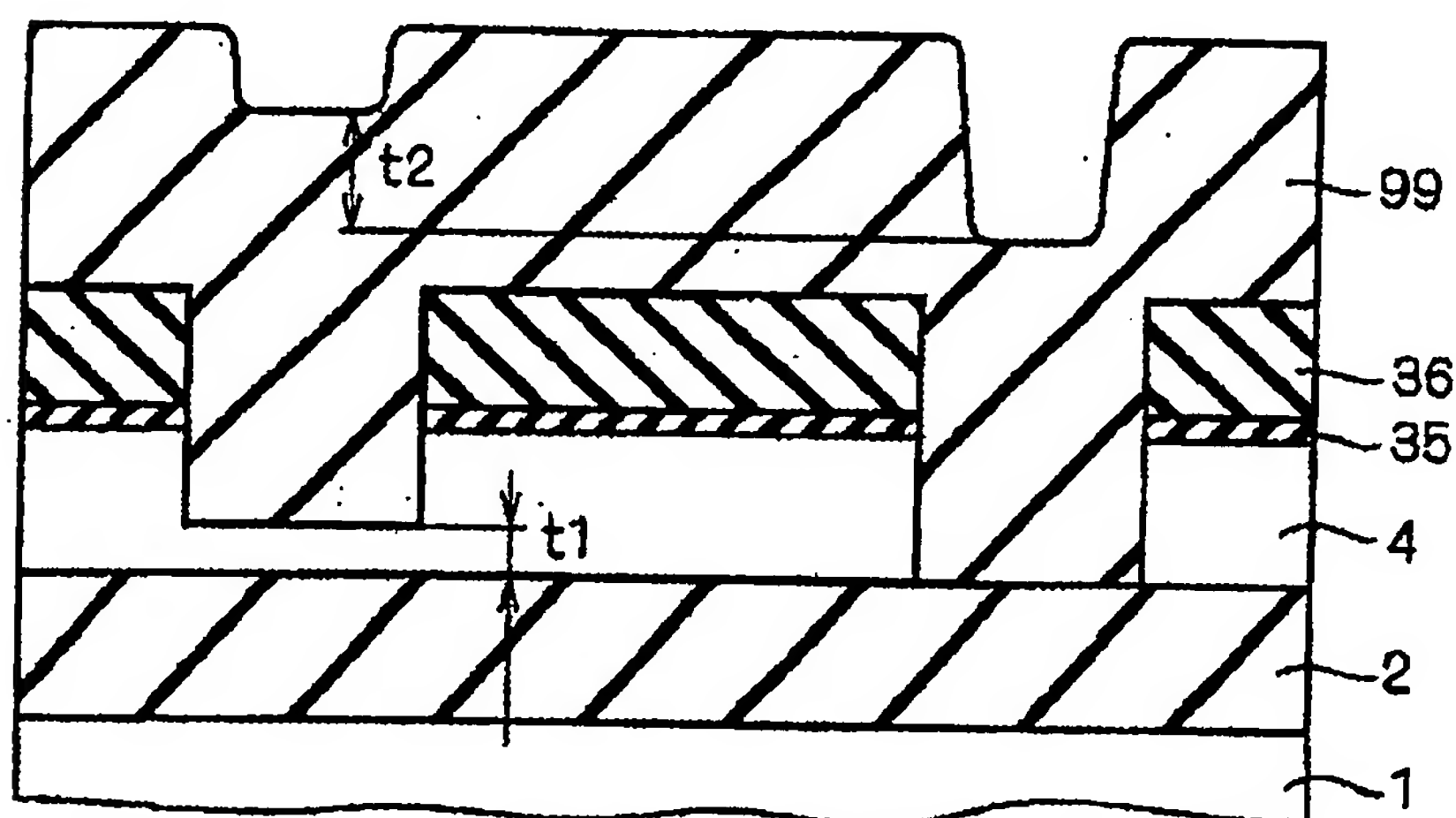


图 55

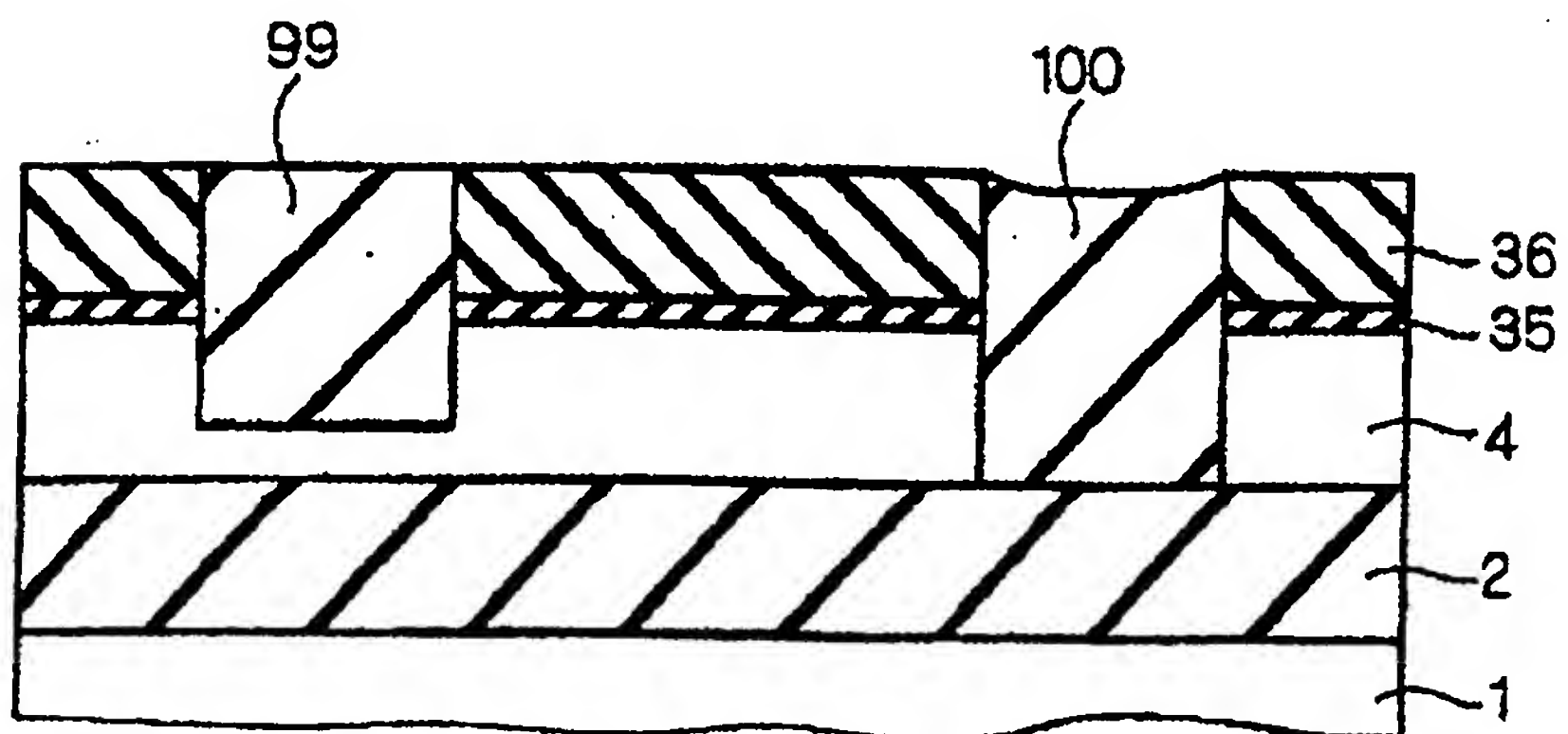


图 56



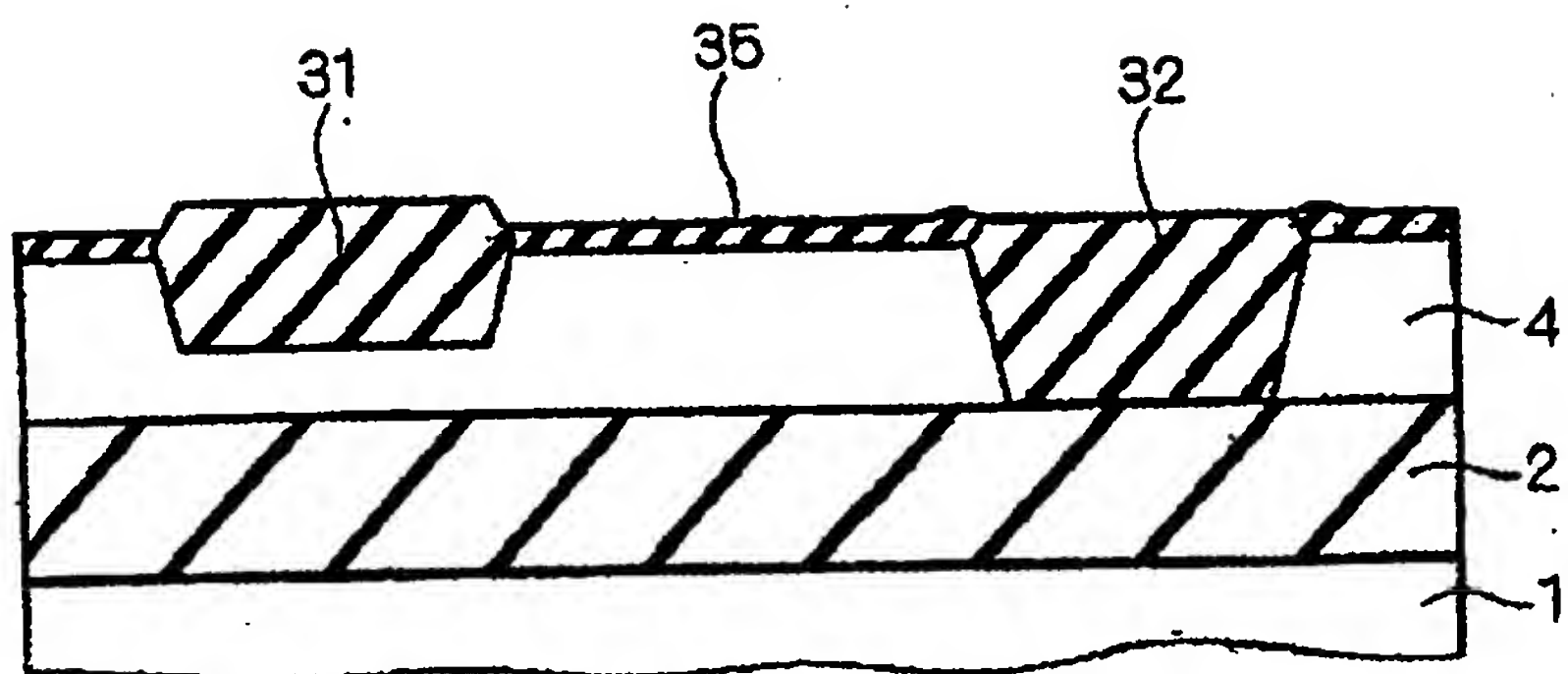


图 57

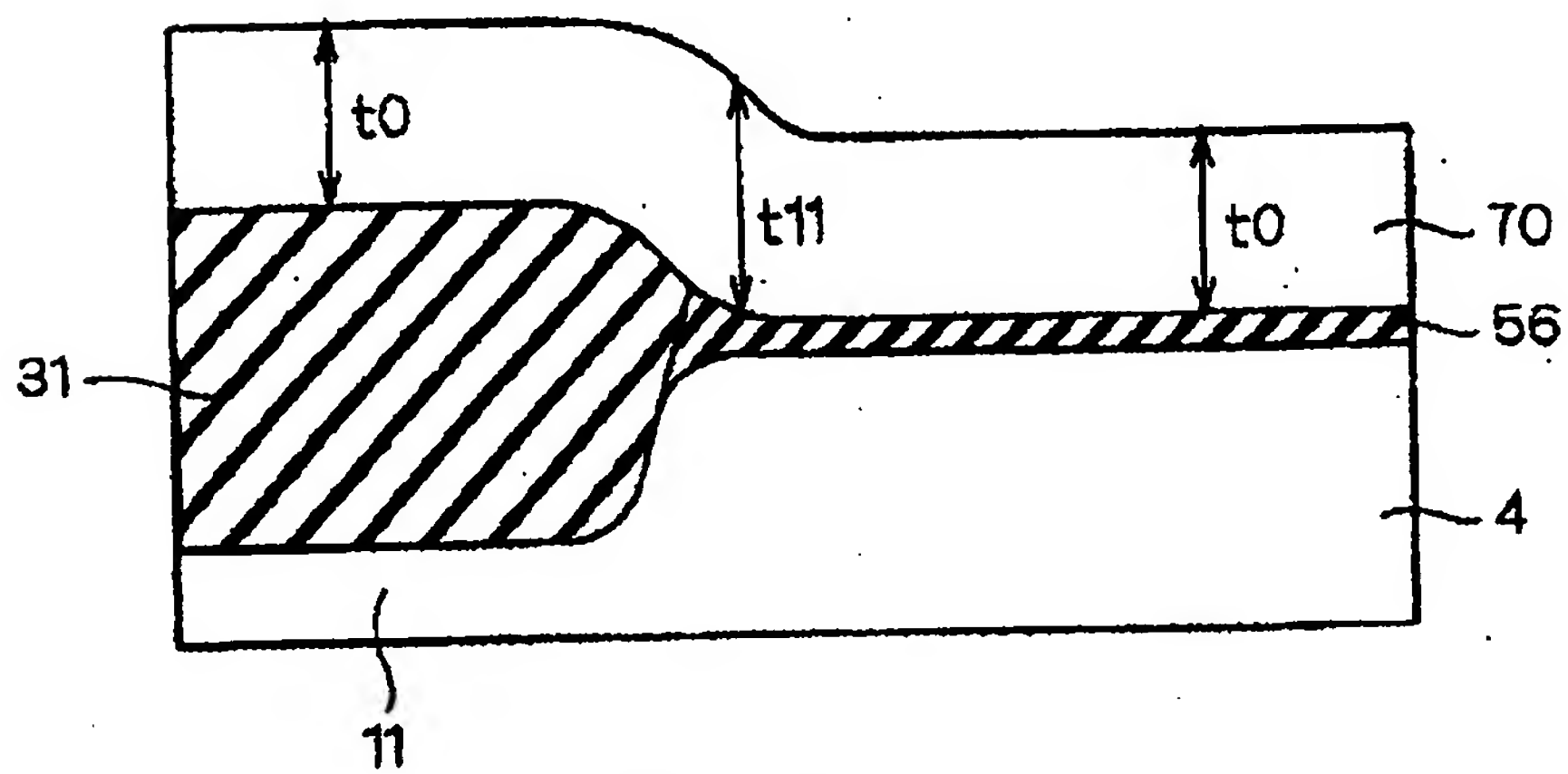


图 58

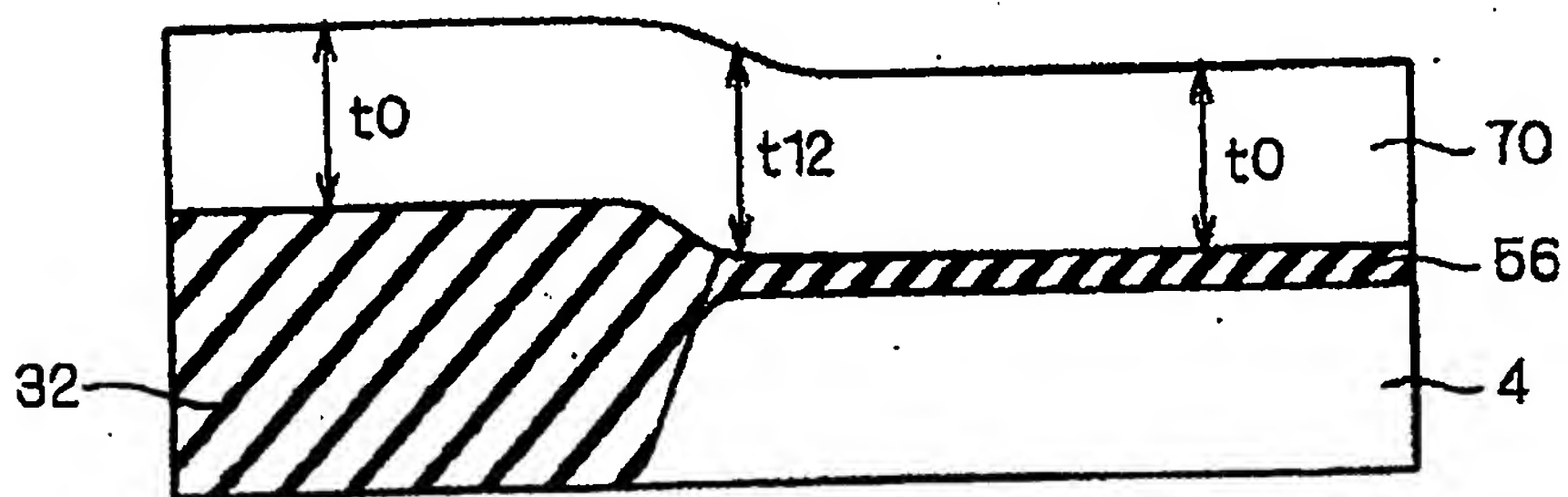


图 59